

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164467

(43)Date of publication of application : 07.06.2002

(51)Int. Cl. H01L 23/12
H05K 3/46

(21)Application number : 2001-024688 (71)Applicant : SONY CORP

(22)Date of filing : 31.01.2001 (72)Inventor : OGAWA TAKESHI
NISHITANI YUJI
OKUHOA AKIHIKO

(30)Priority
Priority number : 2000280631
Priority date : 14.09.2000
Priority country : JP

(54) CIRCUIT BLOCK BODY, ITS MANUFACTURING METHOD, WIRING CIRCUIT DEVICE,
ITS MANUFACTURING METHOD, SEMICONDUCTOR DEVICE AND ITS MANUFACTURING
METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To contrive miniaturization and a low cost by thinning

with high precision and high function.

SOLUTION: A peeling layer forming process for forming a peeling layer 6 on a main face flattening a base board 1, an insulation layer forming process for forming insulation layers 7, 9, 16 on the peeling layer 6, a wiring layer forming process for forming wiring layers 8, 11, 14 on the insulation layer 7, and a circuit block body peeling process for peeling a circuit block body 2 comprising each insulation layer and wiring layer through the peeling layer are provided. The circuit block body 2 incorporates film formation elements 12, 13, 17 in the wiring layer, and is mounted on a base board 3 to compose a wiring device. The circuit block body 2 mounts a semiconductor chip 62 on the surface and is mounted on a base board 64 to compose a semiconductor device.

LEGAL STATUS [Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

*** NOTICES ***

**JPO and INPIT are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

CLAIMS

[Claim(s)]

[Claim 1] The circuit block object characterized by to be exfoliated and formed from the above-mentioned mother substrate through this stratum disjunctum while being formed on the stratum disjunctum formed in the principal plane to which it came to be formed in in the shape of [which consists of an insulating layer, the wiring section by which patterning formation was carried out at this insulating layer, and many external connection lands formed in this wiring section / thin] a sheet, and flattening of the mother substrate was carried out.

[Claim 2] The circuit block object according to claim 1 characterized by coming to form the above-mentioned external connection land in the wiring section of the maximum upper layer, or the wiring section of the lowest layer while the interlayer connection of the wiring section of at least one or more layers is carried out mutually and it is formed in a predetermined part.

[Claim 3] The circuit block object according to claim 2 characterized by carrying out membrane formation formation of the membrane formation component by the thin film technology or the thick-film technique, and constituting a membrane formation component built-in wiring circuit block object in the above-mentioned wiring circles.

[Claim 4] The circuit block object according to claim 3 characterized by for the above-mentioned membrane formation component being a passive element which consists of the resistor and capacitor in which membrane formation formation was carried out by the thin film technology, and an inductor by which membrane formation formation was carried out with the thick-film technique, and constituting a high frequency circuit block object.

[Claim 5] The circuit block object according to claim 1 characterized by forming the closure resin layer which closes this semiconductor chip while mounting a semiconductor chip on the above-mentioned wiring section, and constituting a semiconductor device.

[Claim 6] The circuit block object according to claim 5 with which the above-mentioned semiconductor chip and a closure resin layer have a front face ground, and are characterized by being thin-shape-sized.

[Claim 7] The circuit block object according to claim 5 characterized by forming in the above-mentioned wiring section an electrode pattern and many projection electrodes which consist of a metal membrane, and for the above-mentioned closure resin layer having a front face ground, and

exposing each above-mentioned projection electrode and a semiconductor chip to it.

[Claim 8] The circuit block object according to claim 7 characterized by preparing the metal ball terminal in each exposed above-mentioned projection electrode, respectively.

[Claim 9] The circuit block object according to claim 5 characterized by forming in it the closure resin layer which closes these while surface mount die parts and/or a semiconductor chip are mounted in the base of the above-mentioned wiring section.

[Claim 10] The circuit block object according to claim 5 characterized by grinding and thin-shape-izing the above-mentioned surface mount die parts and/or the semiconductor chip, and the closure resin layer.

[Claim 11] The release layer formation process which forms stratum disjunctum on the above-mentioned principal plane of the mother substrate which has the principal plane by which flattening was carried out, The insulation layer forming process which forms an insulating layer on the above-mentioned stratum disjunctum, and the wiring section formation process which carries out patterning of the wiring section which has many external connection lands to the above-mentioned insulating layer, and forms it in it, The manufacture approach of the circuit block object characterized by having the exfoliation process which exfoliates the thin circuit block object which consists of the above-mentioned insulating layer and the wiring section from the above-mentioned mother substrate through the above-mentioned stratum disjunctum.

[Claim 12] The 1st insulation layer forming process which carries out pattern NINGU of the 1st insulating layer, and forms it on the above-mentioned stratum disjunctum, The 1st wiring section formation process which forms the 1st wiring section in the opening pattern of the 1st insulating layer of the above by plating processing, The 2nd insulation layer forming process which forms the 2nd insulating layer on the 1st insulating layer of the above, and the 1st wiring section while carrying out pattern NINGU of two or more beer, The 2nd wiring section formation process which forms the 2nd wiring section containing the above-mentioned membrane formation component by which membrane formation formation is carried out with an external connection land and a thin film technology, or a thick-film technique on the insulating layer of the above 2nd is given. The manufacture approach of the circuit block object according to claim 11 characterized by forming the multilayer wiring section by performing each above-mentioned insulation layer forming process and a wiring section formation process by turns, respectively.

[Claim 13] The manufacture approach of the circuit block object according to claim 11 characterized by using a silicon substrate or a glass substrate for the above-mentioned mother substrate.

[Claim 14] The manufacture approach of the circuit block object according to claim 11 characterized by being the process at which the above-mentioned release layer formation process forms the stratum disjunctum which consists of a metal membrane layer on the principal plane of the above-mentioned mother substrate.

[Claim 15] The manufacture approach of the circuit block object according to claim 11 characterized by being the process which exfoliates the above-mentioned circuit block object from the stratum disjunctum which the above-mentioned exfoliation process becomes from the above-mentioned metal layer by being immersed in an acid solution or an alkali solution.

[Claim 16] The manufacture approach of the circuit block object according to claim 11 characterized by for two or more above-mentioned circuit block objects to continue, and to be formed on the principal plane to the above-mentioned mother substrate, and for the above-mentioned exfoliation process to be given, and to be separated and formed the above-mentioned circuit block object in one piece at a time after the cutting process divided on the above-mentioned mother substrate, respectively is given.

[Claim 17] The manufacture approach of the circuit block object according to claim 16 characterized by to be controlled to give the dummy layer formation process which forms a dummy layer on the principal plane of the above-mentioned mother substrate as a last process of the above-mentioned release layer formation process, to stop the cutter which separates the above-mentioned circuit block object, respectively in the above-mentioned dummy layer in the above-mentioned cutting process, and not to reach the principal plane of the above-mentioned mother substrate.

[Claim 18] The manufacture approach of the circuit block object according to claim 11 characterized by being the process at which the above-mentioned wiring section formation process forms the wiring section with a built-in membrane formation component of at least one or more layers which built in the membrane formation component by which membrane formation formation is carried out with a thin film technology or a thick-film technique on the above-mentioned insulating layer.

[Claim 19] The manufacture approach of the circuit block object according to claim 11 characterized by for the formation process of the above-mentioned membrane formation component consisting of a process which carries out membrane formation formation of a resistor and the capacitor by the thin film technology, and a process which carries out membrane

formation formation of the inductor with a thick-film technique, and constituting the above-mentioned wiring section as the high frequency circuit section by the above-mentioned membrane formation component.

[Claim 20] The manufacture approach of the circuit block object according to claim 11 characterized by giving the semi-conductor mounting process of mounting a semiconductor chip, and the closure resin layer formation process which forms the closure resin layer which closes this semiconductor chip to the above-mentioned wiring section of the maximum upper layer, and forming a semiconductor device.

[Claim 21] The manufacture approach of the circuit block object according to claim 20 characterized by giving the polish process which grinds and thin-shape-izes the front face of the above-mentioned semiconductor chip and a closure resin layer.

[Claim 22] The electrode formation process which forms the projection electrode which consists of a metal membrane to the electrode pattern formed in the above-mentioned wiring section of the maximum upper layer, The closure resin layer formation process which forms the closure resin layer which closes the semi-conductor mounting process of mounting a semiconductor chip, and the above-mentioned projection electrode and a semiconductor chip, The manufacture approach of the circuit block object according to claim 11 characterized by giving the polish process at which the above-mentioned closure resin layer is ground and the above-mentioned projection electrode and a semiconductor chip are exposed.

[Claim 23] The manufacture approach of the circuit block object according to claim 22 characterized by giving the metal ball terminal formation process which forms a metal ball terminal in each exposed above-mentioned projection electrode, respectively.

[Claim 24] The manufacture approach of the circuit block object according to claim 11 characterized by giving the component-mounting process which mounts surface mount die parts and/or a semiconductor chip in the base of the above-mentioned wiring section.

[Claim 25] The manufacture approach of the circuit block object according to claim 24 characterized by giving the closure resin formation process which forms the closure resin layer which closes the surface mount die parts and/or the semiconductor chip which were mounted in the base of the above-mentioned wiring section.

[Claim 26] It comes to be formed in the shape of [which consists of an insulating layer, the wiring section formed in this insulating layer by carrying out patterning, and many external connection lands formed in this wiring section / thin] a sheet. While being formed on the stratum disjunctum

formed in the principal plane to which flattening of the mother substrate was carried out. The circuit block object formed by exfoliating from the above-mentioned mother substrate through this stratum disjunctum, It has the base substrate with which many connection lands were formed on the principal plane corresponding to each external connection land of the above-mentioned circuit block object. The wiring circuit apparatus characterized by connecting the above-mentioned circuit block object with the above-mentioned external connection land which faces each above-mentioned connection land, respectively, and being joined and mounted on the principal plane of the above-mentioned base substrate.

[Claim 27] While a postbump is formed in each above-mentioned connection land, respectively, it comes to form the adhesives layer which covers the above-mentioned postbump to the principal plane of the above-mentioned base substrate, and becomes it from thermoplastics material. By carrying out thermocompression bonding of the above-mentioned circuit block object in the condition of piling up on the principal plane of the above-mentioned base substrate, each above-mentioned postbump runs through an adhesives layer, and is connected with the above-mentioned connection land. The wiring circuit apparatus according to claim 26 characterized by being joined and mounted on the above-mentioned base substrate.

[Claim 28] The wiring circuit apparatus according to claim 26 characterized by coming to form the above-mentioned external connection land in the wiring section of the maximum upper layer, or the wiring section of the lowest layer while the interlayer connection of the wiring section of at least one or more layers is carried out mutually and it is formed in a predetermined part.

[Claim 29] The wiring circuit apparatus according to claim 26 characterized by using the ceramic multilayer substrate which uses as a base material the ingredient chosen as the above-mentioned base substrate from an alumina, glass ceramic, aluminite, RAIDO, or a mullite.

[Claim 30] The wiring circuit apparatus according to claim 26 characterized by using the organic multilayer substrate which uses as a base material the ingredient chosen as the above-mentioned base substrate from glass epoxy, polyimide, bis-maleate triazine resin, poly FENIRU ethylene resin, phenol resin, polyolefin resin, or polytetrafluoroethylene.

[Claim 31] A wiring circuit apparatus given in any 1 term of claim 29 characterized by using the build up substrate with which the high density wiring layer was formed in one [at least] principal plane for the above-mentioned base substrate of the epoxy resin of photosensitive or nonphotosensitivity, polyimide, or the dielectric resin material layer and

metal deposit of benz-cyclo-butene, or claim 30.

[Claim 32] The wiring circuit apparatus according to claim 31 characterized by mounting the above-mentioned circuit block object with a high frequency integrated circuit device or an integrated circuit chip on the above-mentioned build up base substrate, and receiving supply of a power source or a signal from the above-mentioned build up base substrate side.

[Claim 33] The wiring circuit apparatus according to claim 26 characterized by for membrane formation formation of the membrane formation component being carried out by a thin film technology or thick-film description, and the above-mentioned circuit block object constituting a membrane formation component built-in wiring circuit block object in the above-mentioned wiring circles.

[Claim 34] The wiring circuit apparatus according to claim 26 which the above-mentioned membrane formation component is a passive element which consists of the resistor and capacitor in which membrane formation formation was carried out by the thin film technology, and an inductor by which membrane formation formation was carried out with the thick-film technique, and is characterized by the above-mentioned circuit block object constituting a high frequency circuit block object.

[Claim 35] The wiring circuit apparatus according to claim 26 characterized by mounting surface mount die parts or a chip directly on the wiring section of the above-mentioned circuit block object.

[Claim 36] The release layer formation process which forms stratum disjunctum on the above-mentioned principal plane of the mother substrate which has the principal plane by which flattening was carried out, The insulation layer forming process which forms an insulating layer on the above-mentioned stratum disjunctum, and the wiring section formation process which carries out patterning of the wiring section which has many external connection lands to the above-mentioned insulating layer, and forms it in it, The circuit block object formation process which forms a thin circuit block object through the exfoliation process which exfoliates the circuit block object which consists of the above-mentioned insulating layer and the wiring section through the above-mentioned stratum disjunctum from the above-mentioned mother substrate, The manufacture approach of the wiring circuit apparatus characterized by having the circuit block object junction process of joining and mounting the above-mentioned circuit block object on the principal plane of a base substrate.

[Claim 37] The postbump formation process which forms a postbump in each connection land of the above-mentioned wiring section, The junction process joined by carrying out thermocompression bonding processing in the

condition of piling up to the above-mentioned base substrate with which the adhesives layer which consists of thermoplastics material was formed is given, and the above-mentioned external connection land is received. The manufacture approach of the wiring circuit apparatus according to claim 36 characterized by making connection with the connection land formed in the above-mentioned base substrate when each above-mentioned postbump ran through the above-mentioned adhesives layer and joined, respectively. [Claim 38] The 1st insulation layer forming process which carries out pattern NINGU of the 1st insulating layer, and forms it on the above-mentioned stratum disjunctum, The 1st wiring section formation process which forms the 1st wiring section in the opening pattern of the 1st insulating layer of the above by plating processing, The 2nd insulation layer forming process which forms the 2nd insulating layer on the 1st insulating layer of the above, and the 1st wiring section while carrying out pattern NINGU of two or more beer, The 2nd wiring section formation process which forms the 2nd wiring section containing the above-mentioned membrane formation component by which membrane formation formation is carried out with an external connection land and a thin film technology, or a thick-film technique on the insulating layer of the above 2nd is given. The manufacture approach of the wiring circuit apparatus according to claim 36 characterized by forming the above-mentioned circuit block object with which each above-mentioned insulation layer forming process and a wiring section formation process consist of a multilayer layered product by being carried out by turns, respectively.

[Claim 39] the above-mentioned mother substrate -- a silicon substrate or a glass substrate -- **** -- the manufacture approach of the wiring circuit apparatus according to claim 36 characterized by things.

[Claim 40] The manufacture approach of the wiring circuit apparatus according to claim 36 characterized by being the process at which the above-mentioned release layer formation process forms the stratum disjunctum which consists of a metal membrane layer on the principal plane of the above-mentioned mother substrate.

[Claim 41] The manufacture approach of the wiring circuit apparatus according to claim 36 characterized by being the process which exfoliates the above-mentioned circuit block object from the stratum disjunctum which the above-mentioned exfoliation process becomes from the above-mentioned metal layer by being immersed in an acid solution or an alkali solution.

[Claim 42] The manufacture approach of the wiring circuit apparatus according to claim 36 characterized by for two or more above-mentioned circuit block objects to continue, and to be formed on the principal plane

to the above-mentioned mother substrate, and to give the above-mentioned exfoliation process, and to separate and form the above-mentioned circuit block object in one piece at a time after the cutting process divided on the above-mentioned mother substrate, respectively is given.

[Claim 43] The manufacture approach of the wiring circuit apparatus according to claim 42 characterized by being controlled to give the dummy layer formation process which forms a dummy layer on the principal plane of the above-mentioned mother substrate as a last process of the above-mentioned release layer formation process, to stop the cutter which separates the above-mentioned circuit block object, respectively in the above-mentioned dummy layer in the above-mentioned cutting process, and not to reach the principal plane of the above-mentioned mother substrate.

[Claim 44] The manufacture approach of the wiring circuit apparatus according to claim 36 characterized by being the process at which the above-mentioned wiring section formation process forms the wiring section with a built-in membrane formation component of at least one or more layers which built in the membrane formation component by which membrane formation formation is carried out with a thin film technology or a thick-film technique on the above-mentioned insulating layer.

[Claim 45] The manufacture approach of the wiring circuit apparatus according to claim 36 characterized by for the formation process of the above-mentioned membrane formation component consisting of a process which carries out membrane formation formation of a resistor and the capacitor by the thin film technology, and a process which carries out membrane formation formation of the inductor with a thick-film technique, and constituting the above-mentioned wiring section as the RF circuit section by the above-mentioned membrane formation component.

[Claim 46] The manufacture approach of the wiring circuit apparatus according to claim 36 characterized by using the ceramic multilayer substrate which uses as a base material the ingredient chosen as the above-mentioned base substrate from an alumina, glass ceramic aluminite RAIDO, or a mullite.

[Claim 47] The manufacture approach of the wiring circuit apparatus according to claim 36 characterized by using the organic multilayer substrate which uses as a base material the ingredient chosen as the above-mentioned base substrate from glass epoxy, polyimide, bis-malate triazine resin, poly FENIRU ethylene resin, phenol resin, polyolefin resin, or polytetrafluoroethylene.

[Claim 48] The manufacture approach of a wiring circuit apparatus given in any 1 term of claim 46 characterized by using for the above-mentioned

base substrate the build up substrate with which the high density wiring layer was formed in one [at least] principal plane of the epoxy resin of photosensitive or nonphotosensitivity, polyimide, or the dielectric resin material layer and metal deposit of benz-cyclo-butene, or claim 47. [Claim 49] It comes to be formed in the shape of [which consists of an insulating layer, the wiring section formed in this insulating layer by carrying out patterning, and many external connection lands formed in this wiring section / thin] a sheet. While being formed on the stratum disjunctum formed in the principal plane to which flattening of the mother substrate was carried out The circuit block object formed by exfoliating from the above-mentioned mother substrate through this stratum disjunctum, The closure resin layer which closes the semiconductor chip mounted on the above-mentioned wiring section, and this semiconductor chip, It has the base substrate with which many connection lands were formed on the principal plane corresponding to each external connection land of the above-mentioned circuit block object. The semiconductor device characterized by connecting the above-mentioned circuit block object with the above-mentioned external connection land which faces each above-mentioned connection land, respectively, and being joined and mounted on the principal plane of the above-mentioned base substrate.

[Claim 50] The semiconductor device according to claim 49 carry out that come to be formed the adhesives layer cover the above-mentioned postbump to the principal plane of the above-mentioned base substrate, and become from thermoplastics material, and run an adhesives layer and each above-mentioned postbump is connected with the above-mentioned connection land by being carried out the thermocompression bonding of the above-mentioned circuit block object in the condition piled up on the principal plane of the above-mentioned base substrate while a postbump is formed in each above-mentioned connection land, respectively as the description.

[Claim 51] The semiconductor device according to claim 49 characterized by coming to form the above-mentioned external connection land in the wiring section of the maximum upper layer in which the above-mentioned semiconductor chip was mounted, or the wiring section of the lowest layer while the interlayer connection of the wiring section of at least one or more layers is carried out mutually and it is formed in a predetermined part.

[Claim 52] The semiconductor device according to claim 49 characterized by using the ceramic multilayer substrate which uses as a base material the ingredient chosen as the above-mentioned base substrate from an alumina,

glass ceramic aluminite RAIDO, or a mullite.

[Claim 53] The semiconductor device according to claim 49 characterized by using the organic multilayer substrate which uses as a base material the ingredient chosen as the above-mentioned base substrate from glass epoxy, polyimide, bis-maleate triazine resin, poly FENIRU ethylene resin, phenol resin, polyolefin resin, or polytetrafluoroethylene.

[Claim 54] A semiconductor device given in any 1 term of claim 52 characterized by using the build up substrate with which the high density wiring layer was formed in one [at least] principal plane for the above-mentioned base substrate of the epoxy resin of photosensitive or nonphotosensitivity, polyimide, or the dielectric resin material layer and metal deposit of benz-cyclo-butene, or claim 53.

[Claim 55] The semiconductor device according to claim 49 with which the above-mentioned semiconductor chip and a closure resin layer have a front face ground, and are characterized by being thin-shape-sized.

[Claim 56] The semiconductor device according to claim 49 characterized by forming in the above-mentioned wiring section an electrode pattern and many projection electrodes which consist of a metal membrane, and for the above-mentioned closure resin layer having a front face ground, and exposing each above-mentioned projection electrode and a semiconductor chip to it.

[Claim 57] The semiconductor device according to claim 56 characterized by preparing the metal ball terminal in each exposed above-mentioned projection electrode, respectively.

[Claim 58] The semiconductor device according to claim 49 characterized by having the above-mentioned circuit block object with which the closure resin layer which closes these was formed while surface mount die parts and/or a semiconductor chip are mounted in the base of the above-mentioned wiring section.

[Claim 59] The semiconductor device according to claim 50 characterized by grinding the front face of the above-mentioned semiconductor chip and a closure resin layer, and being thin-shape-sized.

[Claim 60] The release layer formation process which forms stratum disjunctum on the above-mentioned principal plane of the mother substrate which has the principal plane by which flattening was carried out, The circuit block object formation process which forms a thin circuit block object through the insulation layer forming process which forms an insulating layer on the above-mentioned stratum disjunctum, and the wiring section formation process which carries out patterning of the wiring section which has many external connection lands to the above-mentioned

insulating layer, and forms it in it, The semiconductor chip mounting process of mounting a semiconductor chip on the wiring section of the above-mentioned circuit block object, The closure resin formation process which forms the closure resin layer which closes the above-mentioned semiconductor chip on the wiring section of the above-mentioned circuit block object, The manufacture approach of the semiconductor device characterized by having the exfoliation process which exfoliates the circuit block object which mounted the upper semiconductor chip from the above-mentioned mother substrate through the above-mentioned stratum disjunctum, and the circuit block object junction process of joining and mounting the above-mentioned circuit block object on the principal plane of a base substrate.

[Claim 61] The postbump formation process which forms a postbump in each connection land of the above-mentioned wiring section, The junction process joined by carrying out thermocompression bonding processing in the condition of piling up to the above-mentioned base substrate with which the adhesives layer which consists of thermoplastics material was formed is given, and the above-mentioned external connection land is received. The manufacture approach of the semiconductor device according to claim 60 characterized by making connection with the connection land formed in the above-mentioned base substrate when each above-mentioned postbump ran through the above-mentioned adhesives layer and joined, respectively.

[Claim 62] The manufacture approach of the semiconductor device according to claim 60 characterized by the above-mentioned semiconductor chip mounting process being a process which mounts the above-mentioned semiconductor chip in the wiring section of the maximum upper layer of the above-mentioned circuit block object with which the interlayer connection of the wiring section of at least one or more layers is mutually carried out, and it comes to form it in a predetermined part.

[Claim 63] the above-mentioned mother substrate -- a silicon substrate or a glass substrate -- **** -- the manufacture approach of the semiconductor device according to claim 60 characterized by things.

[Claim 64] The manufacture approach of the semiconductor device according to claim 60 characterized by being the process at which the above-mentioned release layer formation process forms the stratum disjunctum which consists of a metal membrane layer on the principal plane of the above-mentioned mother substrate.

[Claim 65] The manufacture approach of the semiconductor device according to claim 60 characterized by being the process which exfoliates the above-mentioned circuit block object from the stratum disjunctum which the

above-mentioned exfoliation process becomes from the above-mentioned metal layer by being immersed in an acid solution or an alkali solution.

[Claim 66] The manufacture approach of the semiconductor device according to claim 60 characterized by for two or more above-mentioned circuit block objects to continue, and to be formed on the principal plane to the above-mentioned mother substrate, and to give the above-mentioned exfoliation process, and to separate and form the above-mentioned circuit block object in one piece at a time after the cutting process divided on the above-mentioned mother substrate, respectively is given.

[Claim 67] The manufacture approach of the semiconductor device according to claim 66 characterized by being controlled to give the dummy layer formation process which forms a dummy layer on the principal plane of the above-mentioned mother substrate as a last process of the above-mentioned release layer formation process, to stop the cutter which separates the above-mentioned circuit block object, respectively in the above-mentioned dummy layer in the above-mentioned cutting process, and not to reach the principal plane of the above-mentioned mother substrate.

[Claim 68] The manufacture approach of the semiconductor device according to claim 60 characterized by using the ceramic multilayer substrate which uses as a base material the ingredient chosen as the above-mentioned base substrate from an alumina, glass ceramic aluminite RAIDO, or a mullite.

[Claim 69] The manufacture approach of the semiconductor device according to claim 60 characterized by using the organic multilayer substrate which uses as a base material the ingredient chosen as the above-mentioned base substrate from glass epoxy, polyimide, bis-malate triazine resin, poly FENIRU ethylene resin, phenol resin, polyolefin resin, or polytetrafluoroethylene.

[Claim 70] The manufacture approach of a semiconductor device given in any 1 term of claim 68 characterized by using for the above-mentioned base substrate the build up substrate with which the high density wiring layer was formed in one [at least] principal plane of the epoxy resin of photosensitive or nonphotosensitivity, polyimide, or the dielectric resin material layer and metal deposit of benz-cyclo-butene, or claim 69.

[Claim 71] The manufacture approach of the semiconductor device according to claim 60 characterized by giving the polish process which grinds and thin-shape-izes the front face of the above-mentioned semiconductor chip and a closure resin layer between the above-mentioned closure resin formation process and the above-mentioned exfoliation process.

[Claim 72] The manufacture approach of the semiconductor device according to claim 60 characterized by giving the electrode formation process which

forms in the above-mentioned wiring section an electrode pattern and many projection electrodes which consist of a metal membrane, and the polish process at which the front face of the above-mentioned closure resin layer is ground, and each above-mentioned projection electrode and a semiconductor chip are exposed.

[Claim 73] The manufacture approach of the semiconductor device according to claim 72 characterized by giving the metal ball terminal formation process which prepares a metal ball terminal in each exposed above-mentioned projection electrode, respectively.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the circuit block object with which thin shape-ization was attained and its manufacture approach, the wiring circuit apparatus with which it had this circuit block object, and high density thin shape-ization was attained and its manufacture approach, and the semiconductor device with which it had the above-mentioned circuit block object, and high density thin shape-ization was attained and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, in various kinds of electronic equipment etc., the formation of small lightweight, advanced features, or multi-functionalization is attained, and small high-density-assembly-ization is attained also about the wiring circuit apparatus and semiconductor device which are built in. While detailed-izing of the beer of a wiring circuit or constriction-ization of a wiring pitch is attained, as for the wiring circuit apparatus, small high-density-assembly-ization is attained by the miniaturization of an IC package, the formation of many pins, bare chip mounting of a semiconductor chip, and the pan by ED, such as a miniaturization of passive elements, such as a capacitor and a resistor, and surface-mount-izing. Manufacture with the conventional technique or mounting of as opposed to a substrate in connection with progress of a miniaturization is [in / on the other

hand / a passive element] very difficult. Therefore, in the wiring circuit apparatus, the membrane formation component built-in wiring circuit apparatus which formed membranes directly and formed the passive element the principal plane top of the circuit board and in the layer is also proposed.

[0003] It comes to carry out membrane formation formation of a resistor or the capacitor using the thick-film technique in which this membrane formation component built-in wiring circuit apparatus prints the paste of a metal or an insulator with screen printing etc. on a ceramic substrate. However, formation of the passive element by the thick-film technique has difficulty in pattern precision or thickness precision, and has the problem that sufficient dependability is not acquired by variations, such as repeatability. Moreover, since high temperature processing was performed in order to make the paste applied on the substrate sinter, the substrate which has thermal resistance had to be used, the ingredient was restricted and formation of the passive element by the thick-film technique had the problem of being comparatively expensive.

[0004] On the other hand, also in the semiconductor device, the so-called system large-scale-integrated-circuit(LSI:large-scale integrate circuit)-ization which collects a predetermined function to one semiconductor chip is attained. Moreover, in the semiconductor device, the system LSI by which the function which changes with progress of a process technique like for example, a logic function, a memory function or an analog function, and a digital function was loaded together is also offered. Furthermore, in the semiconductor device, the demand of small and thin-shape-izing is also large, for example, mechanical, chemical, or performing polish processing and attaining thin shape-ization by the approach of the both, are also performed from the rear face in the state of the wafer in the semi-conductor.

[0005] However, since a system LSI was structure which loads together each functional block through multiple processes, the number of processes increased and it had the problem of increase of production time, the fall of the yield, etc. having arisen as a result, and becoming a cost rise. In a semiconductor device, in order to solve the trouble of this system LSI, correspondence of multi-chip-module(MCM:multi-chip-module)-izing is also achieved. This MCM manufactures functional block of each process as a semiconductor chip according to individual, mounts these semiconductor chips on the same wiring substrate, and realizes the same function as a system LSI by the semi-conductor module.

[0006]

[Problem(s) to be Solved by the Invention] In the wiring circuit apparatus, in order to solve the trouble mentioned above, as shown in drawing 29 and drawing 30, examination of the membrane formation component built-in wiring circuit apparatus using thin film coating technology, such as the photographic method and sputtering method and vacuum deposition, is achieved. An insulating layer 102 is formed in the principal plane of the core substrate 101, and, as for the wiring circuit apparatus 100 shown in drawing 29, membrane formation formation of the resistor 104 is carried out with the circuit pattern 103 on this insulating layer 102. The resistor 104 is formed of nickel-chromium (nickel-Cr), tantalum nitride (TaN) or a tantalum (Ta), etc. In addition, a temperature coefficient (TCR) is 100PPM/degree C or less in small value, and tantalum nitride is suitably used from excelling in the stability of a life property.

[0007] Moreover, membrane formation formation of the capacitor 106 is carried out between both-ends 103of circuit pattern 103 which core substrate 101 with which insulating layer 102 was formed in principal plane like wiring circuit apparatus 100 which mentioned above wiring circuit apparatus 105 shown in drawing 30 was used, and was formed on insulating layer 102 which faces a, and 103b. While a dielectric layer 107 is formed by the detail on lower circuit pattern 103a, as for a capacitor 106, it comes to carry out laminating formation of the up circuit pattern 103b on this dielectric layer 107. The dielectric layer 107 is formed with tantalum oxide (Ta 2O5), silicon nitride (Si3N4) or barium titanate (BaTiO), etc. Tantalum oxide can carry out direct membrane formation formation on a substrate by the sputtering method, and by anodizing a tantalum layer and a tantalum nitride layer, on the front face, an oxide is grown up and it can form the tantalum oxide film of desired thickness.

[0008] In the wiring circuit apparatus, the silicon substrate which has conductivity so that it may function, in case a passive element is formed in a core substrate, for example is used. For this reason, in a wiring circuit apparatus, when it mounts, for example in a mother substrate etc., in order to connect between many lands and the lands of a mother substrate which were formed in the circuit pattern by the wirebonding method, a terminal pattern is formed in the front face of the passive element formative layer. Therefore, in the wiring circuit apparatus, the terminal pattern formation process and the wirebonding process were required.

[0009] By the way, in a communication terminal device etc., it has become indispensable for it to be able to carry by the small light weight, and it has the high frequency module which performs transform processing of the high frequency signal of an analog in the transceiver section. The high

frequency module 110 shown in drawing 31 comes to carry out laminating formation of the high frequency component layer 112 which formed the membrane formation passive element in the layer with the thin film technology or the thick-film technique on the base substrate section 111. As for the high frequency component layer 112, the 1st wiring layer 115 is formed through an insulating layer 114 on the circuit pattern 113 of the base substrate section 111. The circuit pattern 113 and the 1st wiring layer 115 of the base substrate section 111 are connected through the beer 116 which formed the high frequency component layer 112 in the insulating layer 114.

[0010] It comes to carry out membrane formation formation of a resistor 117 and a capacitor 118 which were mentioned above to the 1st wiring layer 115 at the RF component layer 112. The 2nd insulating layer 119 is formed on the 1st wiring layer 115 at the RF component layer 112, and it comes to carry out laminating formation of the 2nd wiring layer 120 on this 2nd insulating layer 119 through beer 116 further. The inductor 121 is formed in this 2nd wiring layer 120 at the RF component layer 112. In addition, about an inductor 121, it is formed by the thick-film formation technique by plating etc. from loss of gain, without generally being formed of the thin film coating technology by the sputtering method etc.

[0011] By the way, in this high frequency module 110, since a highly precise resistor 117 and a highly precise capacitor 118 are formed of thin film coating technology, such as the sputtering method, on the base substrate section 111, the contact alignment property at the time of maintenance of the heat-resistant property over the rise of the skin temperature at the time of sputtering or the depth of focus at the time of lithography and masking etc. is needed for the base substrate section 111. While highly precise surface smoothness is needed for the base substrate section 111 for this reason, insulation, thermal resistance, or chemical resistance is required.

[0012] In the high frequency module 110, Si substrate and the glass substrate which have this property in the core substrate of the base substrate section 111 are used, and membrane formation formation of a low loss passive element comes to be enabled by LSI and another process by low cost. The high frequency module 110 was using Si substrate and a glass substrate, and it became able [the area] to reduce component size to about 1/100 while formation of a highly precise passive element was possible as compared with the wet etching method which forms a circuit pattern in the formation approaches, such as a pattern, and printed-circuit board by printing used with the conventional ceramic module technique. The high

frequency module 110 is using Si substrate and a glass substrate, and became possible [also raising the operating threshold frequency band of a membrane formation passive element to 20GHz].

[0013] However, in the high frequency module 110, since it mounted, for example in a mother substrate etc., as it mentioned above, the connection process by formation, the wirebonding method, etc. of a land is needed for the high frequency component layer 112. As for the high frequency module 110, supply wiring or control-system signal wiring of a power source or a gland is performed from the base substrate section 111 side to the high frequency component layer 112 which the circuit pattern of a high frequency signal system consisted of. While electromagnetic interference arises between the base substrate section 111 and the high frequency component layer 112, the problem of becoming the cost rise by forming a wiring layer in a multilayer is also produced [in / for this reason / the high frequency transceiver module 110].

[0014] About a high frequency module, in order to solve the trouble resulting from the silicon substrate mentioned above or a glass substrate, application of the organic wiring substrate which can be multilayered is considered by the comparison-low price generally used to conventional wiring substrate equipment. With this high frequency module constituting the high frequency signal circuit section in a high frequency component layer while constituting a power source, the wiring section of a gland, and the wiring section of a control system in the base substrate section by using an organic wiring substrate, both electromagnetic separation is achieved, generating of electromagnetic compatibility is controlled and improvement in a property comes to be achieved. Since it becomes possible [a high frequency module] to form wiring of the power source and gland which have sufficient area for the base substrate section, high current supply of a regulation is performed.

[0015] However, a high frequency module has the problem that a highly precise membrane formation passive element cannot be formed from fully not having the property of the silicon substrate which the base substrate mentioned above, or a glass substrate, when forming a high frequency component layer in the upper part by using a multilayer-interconnection substrate as a base substrate. Moreover, since curvature has a multilayer-interconnection substrate in itself, in case a high frequency module performs a patterning process one by one, it has the problem that alignment precision, such as a circuit pattern of each class, falls, and it is not manufactured with high precision. Furthermore, since there was also big irregularity with the circuit pattern formed in this while the

front face of a multilayer-interconnection substrate is comparatively coarse, the high frequency module had the problem that formation of the highly precise membrane formation passive element of which surface smoothness is required was difficult. Since a high frequency module had the small thermal resistance of a multilayer-interconnection substrate, it had the problem that it was difficult to give a sputtering process.

[0016] On the other hand, also in the semiconductor device 130 shown in drawing 32, an organic substrate and a ceramic substrate are used as a wiring substrate 131, and pattern formation of the wiring layers 134 and 135 is carried out to the front flesh-side principal plane through insulating layers 132 and 133, respectively. Although a semiconductor device 130 is not illustrated to wiring layers 134 and 135, while a membrane formation component etc. is formed if needed [a proper circuit pattern or if needed / proper], on the other hand, face down mounting of the semiconductor chip 136 is carried out on a principal plane. A semiconductor device 130 is performed through the wiring layer 134 of a front flesh side, and the through hole 137 which the connection between 135 formed in the wiring substrate 131. While covering wiring layers 134 and 135 and forming solder resist layers 138 and 139, the connection terminal 142 and the external connection electrode 143 are formed in the semiconductor device 130 through beer 140 and 141.

[0017] By the way, in a semiconductor device 130, since the pitch of the wiring pass formed in the principal plane of these wiring substrates 131 is [manufacture conditions to min] about 100 μm extent, when much connection is made between each semiconductor chip 136, the wiring substrate 131 with which a big area or a big wiring layer was multilayered is needed. Moreover, in a semiconductor device 130, when it mounts a semiconductor chip 136 in the front flesh-side principal plane of the wiring substrate 131, connection between each semiconductor chip 136 or a circuit pattern is made through a through hole 137. In a semiconductor device 130, from processing conditions etc., since a through hole 137 and a land become [min or about 50 μm (s) and the diameter of a land] larger [min] than about 50 μm (s) about the aperture, the wiring substrate 131 which has a big area is needed.

[0018] From the trouble resulting from the wiring substrate 131 which mentioned the semiconductor device 130 above, while the wiring pass to which between each semiconductor chip 136 is connected becomes long, it is placed between wiring pass by many beer halls 140 and 141 with multilayering. For this reason, the semiconductor device 130 had the problem that the L-C-R component of wiring pass became large, and the engine performance

deteriorated as compared with a system LSI.

[0019] Moreover, in the semiconductor device 130, since it mounted in a mother substrate etc. as mentioned above, the external connection electrode 143 for connection was formed in the rear face of the wiring substrate 131, and neither a semiconductor chip nor other electronic parts were able to be mounted to this rear face. There was [in / for this reason / a semiconductor device 130] a problem that incorporation of the circumference circuit of a semiconductor chip 136 and mounting of high density to the wiring substrate 131 became difficult.

[0020] On the other hand, in order to attain thin shape-ization in a semiconductor device 130, the method of mounting the semiconductor chip 136 ground in the state of the wafer in the wiring substrate 131 is also adopted. However, the handling after grinding, since the mechanical strength has deteriorated was difficult for the thin-shape-ized semiconductor chip 136, for example, the crack arose at the time of the handling of conveyance to degree process etc., and there was a problem of a chip occurring at the time of dicing processing for piece[of an individual]-izing. Moreover, also when the thin-shape-ized semiconductor chip 136 was mounted in the wiring substrate 131, it had the problem of being easy to generate a chip chip and a crack.

[0021] Since it is difficult in a semiconductor device 130 to form front flesh-side face-to-face flow structure although improvement in the dependability in a wiring layer is achieved by using the silicon substrate and glass substrate which are excellent in surface smoothness or thermal resistance as mentioned above, it is difficult to mount a semiconductor chip in a front rear face, and to attain densification. Moreover, in a semiconductor device 130, it becomes easy to produce curvature in the wiring substrate 131 according to the difference in the wiring consistency in each wiring layer etc. Especially the semiconductor device 130 had the problem that poor solder arose and dependability deteriorated, when the wiring substrate 131 which consists of an organic substrate was used, and generating of the curvature of the wiring substrate 131 became still larger with the heat by which a load is carried out at the mounting process of a semiconductor chip 136, for example, having been mounted in a mother substrate.

[0022] Therefore, this invention pays its attention to the silicon substrate and glass substrate which have the properties that surface smoothness is curvature well, such as being small. By passing through an exfoliation process, after forming a wiring layer with a built-in membrane formation component through an insulating layer with a thin film technology

or a thick-film technique by making this into a mother substrate, high degree of accuracy, The circuit block object which is thin-shape-ized with high efficiency and high-reliability, and plans the miniaturization of a package, and a low price, and its manufacture approach, It is proposed for the purpose of offering the semiconductor device which equips a wiring circuit apparatus equipped with this circuit block object, and its manufacture approach list with a circuit block object, and its manufacture approach.

[0023]

[Means for Solving the Problem] While formed on the stratum disjunctum formed in the principal plane to which came to be formed in in the shape of [which consists of an insulating layer, the wiring section by which patterning formation was carried out at this insulating layer, and many external connection lands formed in this wiring section / thin] a sheet, and flattening of the mother substrate was carried out, the circuit block object concerning this invention which attains the purpose which mentioned above exfoliates from a mother substrate, and it comes to be formed it through this stratum disjunctum.

[0024] According to the circuit block object concerning this invention constituted as mentioned above, a highly precise flat response, By the contact alignment property at the time of maintenance of a heat-resistant property or the depth of focus at the time of lithography and masking being manufactured on the mother substrate who is good and has insulation and chemical resistance Without being influenced by the curvature of a substrate, and surface irregularity, it has detailed wiring pass, and high density assembly, such as a semiconductor chip and electronic parts, is made possible, a highly precise membrane formation component is built in, or the reliable wiring section is formed [it is highly precise and]. Therefore, according to the circuit block object, a reliable wiring circuit apparatus is constituted by joining to a base substrate etc.

[0025] Moreover, the manufacture approach of the circuit block object concerning this invention which attains the purpose mentioned above The release layer formation process which forms stratum disjunctum on the above-mentioned principal plane of the mother substrate which has the principal plane by which flattening was carried out, It comes to have the exfoliation process which exfoliates the thin circuit block object which consists of an insulating layer and the wiring section from a mother substrate through the insulation layer forming process which forms an insulating layer on stratum disjunctum, the wiring section formation process which carries out patterning formation of the wiring section which

has many external connection lands in an insulating layer, and stratum disjunctum.

[0026] According to the manufacture approach of the circuit block object concerning this invention which has the above process Because the contact alignment property at the time of maintenance of a highly precise flat response, a heat-resistant property, or the depth of focus at the time of lithography and masking manufactures a circuit block object on the mother substrate who is good and has insulation and chemical resistance The circuit block [which is highly precise and has the reliable wiring section] object which has detailed wiring pass, builds in a highly precise membrane formation component, or makes possible high density assembly, such as a semiconductor chip and electronic parts, is manufactured efficiently, without being influenced by the curvature of a substrate, and surface irregularity.

[0027] Furthermore, the wiring circuit apparatus concerning this invention which attains the purpose mentioned above comes to have a circuit block object and the base substrate with which many connection lands were formed on the principal plane corresponding to each external connection land of a circuit block object. Through this stratum disjunctum, from a mother substrate, a wiring circuit apparatus exfoliates and is formed while it is formed on the stratum disjunctum formed in the principal plane to which it came to be formed in in the shape of [which consists of an insulating layer, the wiring section by which patterning formation was carried out at this insulating layer, and many external connection lands formed in this wiring section / thin] a sheet, and flattening of the mother substrate was carried out. A circuit block object is connected with the external connection land which faces each connection land, respectively, and it joins and comes to mount a wiring circuit apparatus on the principal plane of a base substrate.

[0028] According to the wiring circuit apparatus concerning this invention constituted as mentioned above, maintenance of a highly precise flat response, a heat-resistant property, or the depth of focus at the time of lithography, The contact alignment property at the time of masking is good. It is influenced by neither the curvature of a base substrate, nor surface irregularity by being manufactured on the mother substrate who has insulation and chemical resistance, but has detailed wiring pass. It has the circuit block [in which it was highly precise and the reliable wiring section was formed] object which builds in a highly precise membrane formation component, or makes possible high density assembly, such as a semiconductor chip and electronic parts. Therefore, while improvement in

a property is achieved by the wiring section and the circuit section by the side of a base substrate being separated electrically and electromagnetic, and generating of a mutual interference being controlled according to the wiring circuit apparatus, since it is possible to form wiring of a power source, a gland, etc. which have sufficient area for a base substrate side, high current supply of a regulation comes to be performed.

[0029] The manufacture approach of the wiring circuit apparatus concerning this invention which attains the purpose mentioned above further again has the circuit block object formation process which forms a circuit block object through a mother substrate, and the circuit block object junction process of joining and mounting a circuit block object on the principal plane of a base substrate, and manufactures a wiring circuit apparatus. A circuit block object formation process forms a thin circuit block object through the release layer formation process which forms stratum disjunctum on the principal plane to which flattening of the mother substrate was carried out, the insulation layer forming process which form an insulating layer on stratum disjunctum, the wiring section formation process which carry out patterning formation of the wiring section which has many external connection lands in an insulating layer, and the exfoliation process which exfoliate the circuit block object which consists of an insulating layer and the wiring section from a mother substrate through stratum disjunctum.

[0030] According to the manufacture approach of the wiring circuit apparatus concerning this invention which has the above process Maintenance of a highly precise flat response, a heat-resistant property, or the depth of focus at the time of lithography, Because it is good and manufacture a circuit block object on the mother substrate who has insulation and chemical resistance, and the contact alignment property at the time of masking joins this circuit block object to a base substrate and manufactures a wiring circuit apparatus The wiring [which is influenced by neither the curvature of a base substrate nor surface irregularity, but has detailed wiring pass, contains a highly precise membrane formation component, or makes possible high density assembly, such as a semiconductor chip and electronic parts,] circuit apparatus which is highly precise and has the reliable wiring section is manufactured efficiently. Since it is possible to form wiring of the power source and gland which have sufficient area for a base substrate side while according to the manufacture approach of a wiring circuit apparatus the wiring section and the circuit section by the side of a base substrate are separated electrically and electromagnetic, generating of a mutual interference is controlled and improvement in a

property is achieved, the wiring circuit apparatus with which high current supply of a regulation is performed is manufactured.

[0031] Moreover, the semiconductor device concerning this invention which attains the purpose mentioned above comes to have the circuit block object formed in the shape of [thin] a sheet, the closure resin layer which closes the semiconductor chip mounted on the wiring section of this circuit block object, and this semiconductor chip, and the base substrate with which many connection lands were formed on the principal plane corresponding to each external connection land of a circuit block object. A circuit block object consists of many external connection lands formed in an insulating layer and this insulating layer at the wiring section by which patterning formation was carried out, and this wiring section.

[0032] The contact alignment property at the time of maintenance of a highly precise flat response, a heat-resistant property, or the depth of focus at the time of lithography and masking is good, and is manufactured on the mother substrate who has insulation and chemical resistance, and, according to the semiconductor device concerning this invention constituted as mentioned above, a semiconductor chip is mounting-ized by high density with high precision by having the circuit block object which is influenced by neither the curvature of a base substrate, nor surface irregularity, but has detailed wiring pass. While according to the semiconductor device the wiring section which mounted the semiconductor chip, and the circuit section by the side of a base substrate are separated electrically and electromagnetic, generating of a mutual interference is controlled and improvement in a property is achieved, since it is possible to form wiring of the power source and gland which have sufficient area for a base substrate side, high current supply of a regulation comes to be performed. While according to the semiconductor device grinding a semiconductor chip and closure resin and attaining thin shape-ization, generating of the chip of a semiconductor chip, a crack, etc. also comes to be reduced.

[0033] Furthermore, the manufacture approach of the semiconductor device concerning this invention which attains the purpose mentioned above The circuit block object formation process which forms a circuit block object thin in a mother substrate top, The semi-conductor mounting process of mounting a semiconductor chip in a circuit block object, and the closure resin formation process which forms the closure resin layer which closes a semiconductor chip on the wiring section of a circuit block object, It comes to have the exfoliation process which exfoliates the circuit block object which mounted the upper semiconductor chip from the mother substrate through stratum disjunctum, and the circuit block object junction process

of joining and mounting a circuit block object on the principal plane of a base substrate. A circuit block object formation process consists of the release layer formation process which forms stratum disjunctum on the principal plane of the mother substrate which has the principal plane by which flattening was carried out, an insulation layer forming process which forms an insulating layer on stratum disjunctum, and a wiring section formation process which carries out patterning formation of the wiring section which has many external connection lands in an insulating layer. [0034] According to the manufacture approach of the semiconductor device concerning this invention which has the above process Maintenance of a highly precise flat response, a heat-resistant property, or the depth of focus at the time of lithography, Because it is good and manufacture a circuit block object on the mother substrate who has insulation and chemical resistance, and the contact alignment property at the time of masking joins this circuit block object to a base substrate and manufactures a semiconductor device A semiconductor device with the high dependability which the detailed wiring pass influenced by neither the curvature of a base substrate nor surface irregularity is formed, and makes possible highly precise high density assembly of a semiconductor chip is manufactured efficiently. Since it is possible to form wiring of the power source and gland which have sufficient area for a base substrate side while according to the manufacture approach of a semiconductor device the wiring section, and a semiconductor chip and the circuit section by the side of a base substrate are separated electrically and electromagnetic, generating of a mutual interference is controlled and improvement in a property is achieved, the semiconductor device with which high current supply of a regulation is performed is manufactured. While according to the manufacture approach of a semiconductor device grinding a semiconductor chip and closure resin and attaining thin shape-ization, generating of the chip of a semiconductor chip, a crack, etc. also comes to be reduced. [0035]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. The circuit block object 2 shown as a gestalt of operation is mounted in the high frequency module 4 with which a pocket communication terminal device etc. is equipped and which performs transform processing of the high frequency signal of an analog with a TERODAIN method or a direct conversion method to a supermarket in the transceiver section. As shown in process drawing shown in drawing 1 , after being manufactured on the mother substrate 1, it dissociates from the mother substrate 1 through an exfoliation process,

and it is joined to the base substrate 3 which consists of a multilayer-interconnection substrate, and the circuit block object 2 constitutes the high frequency module 4. The high frequency module 4 constitutes wiring of an electrical power system to as opposed to the upper circuit block object 2 in the base substrate 3 side, wiring of a control system, or a ground side.

[0036] In the production process of the high frequency module 4, the mother substrate 1 shown in drawing 2 is supplied to a production process. It has insulation, thermal resistance, or chemical resistance, and formation of a highly precise flat side is possible to the mother substrate 1, Si substrate and a glass substrate with high rigidity are used for it, and the circuit block object 2 is manufactured on the principal plane through each process which mentions a detail later. In a production process, maintenance of the heat-resistant property over the rise of the skin temperature at the time of sputtering or the depth of focus at the time of lithography and improvement in the contact alignment property at the time of masking come to be achieved by using this mother substrate 1. Therefore, in a production process, as compared with the conventional print processes, the wet etching method, etc., it is reduced to about 1/100 in area, and size enables manufacture of the highly precise circuit block object 2 with which an operating threshold frequency band is also raised to 20GHz.

[0037] As mentioned above, the base material 5 of the mother substrate 1 consists of an Si substrate or a glass substrate, and a production process makes the 1st process the release layer formation process (s-1) which carries out membrane formation formation of the stratum disjunctum 6 on the principal plane of this base material 5 formed in the highly precise flat side. stratum disjunctum 6 consists of metal layers by which membrane formation formation was carried out with the proper membrane formation technique, such as a copper layer and an aluminum layer, and as shown in drawing 2, thickness becomes about 1000Å by the spatter on the principal plane of a base material 5 -- as -- uniform thickness -- with -- **** -- while covering the whole surface and carrying out membrane-formation formation, thickness comes to carry out membrane-formation formation of the resin layer which are 1 thru/or 2um extent, for example, the polyimide-resin layer, with a spin coat method on the front face of this metal layer Although the mother substrate 1 forms the circuit block object 2 which consists of a layered product of two or more layers on the principal plane so that it may mention later, it does so the operation to which stratum disjunctum 6 exfoliates the circuit block object 2 in the exfoliation

process mentioned later.

[0038] A production process makes the 2nd process the 1st insulation layer forming process (s-2) which carries out membrane formation formation of the 1st insulating layer 7 on the stratum disjunctum 6 of the mother substrate 1. The 1st insulating layer 7 is formed of the insulating dielectric material which was excellent in low $\tan\delta$, i. e., a RF property, with the low dielectric constant, and was excellent in thermal resistance or chemical resistance. Polyimide, benz-cyclo-butene (BCB), polynorbornene (PNB), a liquid crystal polymer (LCP) or an epoxy resin, and acrylic resin are used for insulating dielectric material. the 1st insulating layer 7 is shown in drawing 3 -- as -- the membrane formation technique in which it is proper on stratum disjunctum 6 -- a predetermined pattern -- with -- **** -- it is formed. When photosensitive insulating dielectric material is used, direct pattern formation of the 1st insulating layer 7 is carried out on stratum disjunctum 6 by the FOTORISO graphic method. When nonphotosensitivity insulating dielectric material is used, pattern formation of the 1st insulating layer 7 is carried out on stratum disjunctum 6 by for example, the FOTORISO graphic method and the dry etching method.

[0039] A production process makes the 3rd process the 1st wiring layer formation process (s-3) which carries out membrane formation formation of the 1st wiring layer 8 which consists of a metal deposit on stratum disjunctum 6 corresponding to opening of the 1st insulating layer 7 by which pattern formation was carried out as plating processing was performed and mentioned above to the mother substrate 1. By performing coppering processing by using stratum disjunctum 6 as an electrical-potential-difference impression electrode for example, a production process plates copper to the exposed part of the stratum disjunctum 6 corresponding to opening of the 1st insulating layer 7, and forms the 1st wiring layer 8 controlled to become the almost same thickness as the 1st insulating layer 7 as shown in drawing 4.

[0040] The 1st wiring layer 8 and 1st insulating layer 7 constitute the stripped plane at the time of exfoliating the circuit block object 2 from the mother substrate 1 so that an interface with stratum disjunctum 6 may mention later. The junction stabilized when joining the 1st wiring layer formation process to the base substrate 3 by forming the 1st wiring layer 8 with the thick-film formation technique by coppering so that it may mention forming this stripped plane in a highly precise flat side later as possible is made to be performed. Moreover, as for the 1st wiring layer 8, it is desirable to have sufficient thickness from being constituted as the gland in the circuit block object 2 or a power supply section, and it

is suitably formed by the thick-film formation technique by plating.

[0041] Although the 1st wiring layer 8 was made to carry out direct membrane formation formation on stratum disjunctum 6 by coppering, you may make it form it on the substrate layer by the golden-nickel formed, for example on stratum disjunctum 6. The 1st wiring layer 8 acts effectively as a connection terminal area this substrate layer minds the land formed in the base substrate 3 grade so that it might mention later, a solder bump, etc.

[0042] While forming the metal layer of for example, golden-nickel-copper, performing etching processing to this metal layer and forming a circuit pattern by plating, a spatter, etc., for example on stratum disjunctum 6, you may make it form an insulating layer about the 1st wiring layer 8 and 1st insulating layer 7. Moreover, you may make it form about the 1st wiring layer 8 and 1st insulating layer 7 with the additive process which forms a plating resist layer, for example on stratum disjunctum 6, and forms a predetermined circuit pattern by plating.

[0043] A production process makes the 4th process the 2nd insulation layer forming process (s-4) which continues and forms the 2nd insulating layer 9 in the whole surface at the upper layer of the 1st insulating layer 7 and the 1st wiring layer 8. The 2nd insulating layer 9 is formed of the same insulating dielectric material as the 1st insulating layer 7 mentioned above. In the 2nd insulation layer forming process, formation of two or more beer 10 which makes the predetermined part of the 1st wiring layer 8 expose is also performed. Each beer 10 attaches in the front face of the 2nd insulating layer 9 the mask which formed the predetermined pattern in the case of photosensitive insulating dielectric material, and forms it directly with a FOTORISO graphic method. Each beer 10 performs laser radiation to the 2nd insulating layer 9, and you may make it form it by the proper approach of forming a hole.

[0044] a circuit pattern with a production process proper on the 2nd insulating layer 9 -- with -- **** -- the 2nd wiring layer formation process (s-5) which forms the 2nd wiring layer 11 is made into the 5th process. The 2nd wiring layer 11 is formed of the thin film coating technology by the thick-film formation technique by the coppering mentioned above, the sputtering method, etc., and as shown in drawing 5 , it comes to plan connection with the 1st wiring layer 8 through each beer 10. Laminating formation of the 2nd wiring layer 11 is carried out on each class which was formed on the principal plane of the mother substrate 1 with which surface smoothness was held and which was mentioned above. Therefore, the 2nd wiring layer formation process forms the 2nd very highly precise wiring layer 11 by using an organic substrate as a base material like before as

compared with the multilayer printed circuit board by which laminating formation of the multilayer wiring layer is carried out.

[0045] A production process makes the 6th process the thin-film formation process (s-6) which forms the thin film of a thin film resistor 12 or thin film capacitor 13 grade in the 2nd wiring layer 11 as shown in drawing 6. In addition, of course in a thin-film formation process, you may make it also form in the 2nd wiring layer 11 an inductor which is mentioned later. Between the resistor formation parts formed in the 2nd wiring layer 11 as mentioned above, a thin film resistor 12 forms resistor formation ingredients, such as nickel-chromium, and tantalum nitride or a tantalum, by thin film coating technology, such as a FOTORISO graphic method, the sputtering method, and vacuum deposition, and is formed. The formation approach of a thin film resistor 12 is formed through the process which forms a tantalum nitride layer by the lift-off method for example, on the 2nd insulating layer 9 corresponding to a formation part, the process which carries out sputtering of the tantalum nitride after performing resist processing on this tantalum nitride layer, and the process which removes the tantalum nitride for a resist layer.

[0046] The formation approach of the thin film capacitor 13 is formed through the process which coats a resist on the whole surface except a capacitor formation part, the anodic oxidation process to which electric field are applied so that tantalum nitride may serve as an anode plate in the electrolytic solutions, such as ammonium pentaborate, and an up electrode formation process on the 2nd wiring layer 11. An anodic oxidation process is a process which performs anodizing which impresses 100V and the electric field for about 30 minutes to tantalum nitride, a tantalum nitride layer oxidizes and a tongue TARUOKI site layer is formed. While pattern NINGU of a resist is performed by photograph RISOGURAFU processing so that it may leave only a circuit pattern required for the 2nd wiring layer 11, the up electrode which masking is performed after removing a resist in a tongue TARUOKI site layer, for example, consists of a nickel layer and a copper layer by the lift-off method is formed.

[0047] In a production process, as mentioned above, the contact alignment property at the time of maintenance of a highly precise flat side, a heat-resistant property, or the depth of focus at the time of lithography and masking is good, and it is using the mother substrate 1 which has insulation and chemical resistance, and the highly precise thin film resistor 12 and the thin film capacitor 13 are formed in the 2nd wiring layer 11, without being influenced by the heat at the time of sputtering, the chemical of etching, etc.

[0048] A production process makes the 7th process the 3rd insulation layer forming process (s-7) which forms the 3rd insulating layer 14 which covers the 2nd wiring layer 11 and thin film resistor 12, and the thin film capacitor 13. This 3rd insulating layer 14 is also formed of the same insulating dielectric material as the 1st insulating layer 7 and the 2nd insulating layer 9 which were mentioned above. Also in the 3rd insulation layer forming process, formation of two or more beer 15 which makes the up electrode of the predetermined part of the 2nd wiring layer 11 or the thin film capacitor 13 expose as shown in drawing 7 is also performed. The mask in which the predetermined pattern was formed as well as the beer 10 formed in the 2nd insulating layer 9 mentioned above is attached in the front face of the 3rd insulating layer 14, and each beer 15 is also formed by the FOTORISO graphic method.

[0049] A production process makes the 8th process the 3rd wiring layer formation process (s-8) which forms the 3rd wiring layer 16 on the 3rd insulating layer 14. The 3rd wiring layer 16 is formed by the approach of forming a copper circuit pattern by thin film coating technology, such as for example, the sputtering method, and the thick-film formation technique by coppering etc. The formation process of the 3rd wiring layer has the process which performs predetermined pattern NINGU by photograph RISOGURAFU processing to this spatter layer, after carrying out membrane formation of the spatter layer which consists of nickel and copper on the 2nd insulating layer 9 by the sputtering method etc. After performing alternatively coppering which has the thickness of about several micrometers by electric-field plating to this spatter layer, the formation process of the 3rd wiring layer forms the 3rd wiring layer 16 by removing the resist for plating and etching a spatter layer extensively further, as shown in drawing 8.

[0050] An electric flow with the 2nd wiring layer 11 and the thin film capacitor 13 is achieved through the spatter layer by which the 3rd wiring layer 16 was formed in the wall of beer 15. The inductor 17 of a spiral mold is formed in the 3rd wiring layer 16 at the part. the inductor 17 was mentioned above although the series resistance value became a problem -- as -- the 3rd wiring layer 16 -- a spatter layer -- receiving -- electrolytic plating -- giving -- predetermined thickness -- with -- **** -- the fall of loss is controlled by being formed. In addition, of course, the thin film resistor 12 mentioned above and the thin film capacitor 13 may be formed also in the 3rd wiring layer 16 if needed.

[0051] In a production process, the circuit block object 2 of a laminated structure is formed in the mother substrate 1 by making into the maximum

upper layer the 3rd wiring layer 16 mentioned above. In addition, of course in a production process, you may make it form further multilayer insulating layer and wiring layer on the 3rd wiring layer 16 if needed. A production process makes the 9th process the circuit block object-mother substrate exfoliation process (s-9) of exfoliating the circuit block object 2 from the mother substrate 1, by immersing the layered product of the mother substrate 1 and the circuit block object 2 into an acid or an alkali solution. As mentioned above, stratum disjunctum 6 is formed of copper material, and by being immersed in the solution of hydrochloric acid, the circuit block object 2 exfoliates finely from the mother substrate 1 by making the top face of stratum disjunctum 6 into an interface, as shown in drawing 9. The disclosure side where the circuit block object 2 consists of the 1st insulating layer 7 and 1st wiring layer 8 constitutes a stripped plane H. [0052] The circuit block object 2 exfoliates from the mother substrate 1, when stratum disjunctum 6 is formed of copper material, for example, it is immersed in a nitric-acid solution, and the front face of stratum disjunctum 6 dissolves slightly. In addition, since that front face is invaded for the stripped plane H of the 1st wiring layer 8 by the nitric-acid solution in this case, you may make it the circuit block object 2 form a protective layer beforehand between stratum disjunctum 6.

[0053] When stratum disjunctum 6 is constituted by the Cu layer-polyimide layer, as for the circuit block object 2, exfoliation is performed from the interface of this Cu layer and a polyimide layer by being immersed in the solution of hydrochloric acid. Removal of the polyimide layer in which the circuit block object 2 remained in the 1st insulating-layer 7 and 1st wiring layer 8 side by giving the dry etching method for example, by the oxygen plasma is performed.

[0054] According to the production process of the circuit block object 2 which has the above process, since it has high surface smoothness and a mechanical strength forms the multilayer circuit block object 2 on the principal plane using the big mother substrate 1, the thin film passive element 12 and 13 grades which are formed in each class and each wiring layer are formed very with high precision. According to the production process of the circuit block object 2, the circuit pattern of 1 or less μm is formed in each wiring layer for a width method by each processing of formation of a highly precise etching-resist layer, a plating resist layer, or an insulating layer or spreading processing of a resist, exposure processing, a development, etc. being enabled using the equipment used for the conventional semi-conductor process.

[0055] According to the production process of the circuit block object 2,

since there are almost no curvature, the contraction or the wave, and irregularity of a substrate which are produced when it forms through each process mentioned above, for example to tops, such as an organic substrate top like a printed-circuit board and a ceramic substrate, precision degradation of each class, a thin film passive element, or a circuit pattern is controlled, and it is formed with high precision. According to the production process of the circuit block object 2, the reduction is achieved also about the problem of DEGASU at the time of the vacua for [when formation of each insulating layer etc. takes high temperature processing, the effect of heat-resistant which poses a problem with an organic substrate does not have, either, and] membrane formation of a spatter layer, or the problem of dust.

[0056] According to the production process of the circuit block object 2, when the consistency of the circuit pattern formed in each wiring layer differs, generating of curvature, a wave or irregularity, etc., etc. is controlled by manufacture of the circuit block object 2 being performed on the mother substrate 1 who has a mechanical strength. Therefore, according to the production process of the circuit block object 2, each wiring layer is formed with high precision, and the reliable circuit block object 2 is manufactured. Since the circuit block object 2 does not almost have curvature, a wave, or irregularity, when it mounts in a base substrate etc., generating of poor soldering is controlled.

[0057] While the circuit block object 2 with which the production process exfoliated from the mother substrate 1 is joined to the base substrate 3, manufacture of the high frequency module 4 is performed by giving the mounting process of components etc. so that it may mention later. In a production process, the organic substrate and ceramic substrate which were multilayered are used as a base substrate 3. As the base substrate 3 is shown in drawing 10, it comes to form the multilayer wiring layers 3b and 3c in a rear-face side capital the front-face side to core substrate 3a, and much beer 20 between layers comes to connect between each class or the vertical wiring layers 3b and 3c suitably. While circuit pattern 19a is formed on the front face of up wiring layer 3b at the base substrate 3, terminal land 19b is formed in lower wiring layer 3c.

[0058] The ceramic multilayer substrate with which the base substrate 3 uses an alumina, glass ceramic aluminite RAIDO, or a mullite as a base material is used. The organic multilayer substrate with which the base substrate 3 uses glass epoxy, polyimide, bis-malate triazine resin, poly FENIRU ethylene resin, phenol resin, polyolefin resin, or polytetrafluoroethylene as a base material is used. As for the base

substrate 3, the build up substrate with which the high density wiring layer was formed in one [at least] principal plane of the epoxy resin of photosensitive or nonphotosensitivity, polyimide, or the dielectric resin material layer and metal deposit of benz-cyclo-butene is used.

[0059] The postbump formation process (s-10) which forms two or more postbumps 21 suitably on circuit pattern 19a of up wiring layer 3b is given to the base substrate 3. A postbump formation process is a process which forms the postbump 21 who consists of a copper bump by electrolysis plating or the electroless deposition method. A postbump formation process forms the postbump 21 who has thickness almost equal to the thickness of under-filling 22 mentioned later, for example, the thickness of 20 micrometers - 100 micrometers. In a postbump formation process, nickel-gold plate is performed to the postbump's 21 front face, and you may make it form a gold plate layer in it, and it may be made to perform solder plating to a front face.

[0060] A production process makes the 10th process the circuit block object-base substrate junction process (s-11) which joins the circuit block object 2 on the base substrate 3 with which the postbump 21 was formed. In a junction process, as shown in drawing 11 , the circuit block object 2 makes the stripped plane H which consists of the 1st insulating layer 7 and 1st wiring layer 8 a plane of composition, and junction is performed. It is joined to the base substrate 3 and the circuit block object 2 constitutes a zygote, as the land of each other by which pattern formation was carried out to the 1st wiring layer 8 is connected with the postbump 21 who faces and it is shown in drawing 12 .

[0061] In a junction process, when solder plating is performed to the postbump's 21 front face or a solder bump is prepared, for example in it, it becomes connectable by the solder method to the land of the 1st wiring layer 8. In a junction process, when the gold layer is formed in the 1st wiring layer 8, the flow of solder becomes good by scaling being controlled, and good solder connection is made as compared with a copper layer.

[0062] In a junction process, when the gold layer is formed in the postbump's 21 front face, and the front face of the land of the 1st wiring layer 8, respectively, for example, connection between these is made by the heat pressure-welding method and ultrasonic-jointing method for example, by golden-gold. The circuit block object 2 and the base substrate 3 of the postbump 21 and the land of the 1st wiring layer 8 being connected and joined by the other proper approaches are natural.

[0063] The under-filling packer who a production process fills up with under-filling 22 the gap constituted by the postbump 21 who intervenes

between the circuit block object 2 and the base substrate 3, and lays this underground makes (s-12) the 11th process. The under-filling material and the restoration approach which are generally used in the flip chip mounting process of a semiconductor chip are used for under-filling 22. By using the thing of a minor diameter particle rather than the postbump's 21 thickness, as shown in drawing 13, homogeneity is filled up with under-filling 22 between the plane of composition H of the circuit block object 2, and the principal plane of the base substrate 3. a production process should pass the process mentioned above -- like the shipfitter of shielding covering which covers the component-mounting process (s-13) which mounts high frequency IC, a chip, etc., for example on the 3rd wiring layer 16 of the circuit block object 2, the modularization process (s-14) mounted on a mother substrate, or the circuit block object 2 although the high frequency module 4 is manufactured -- etc. -- it is given.

[0064] In a production process, the circuit block object 2 manufactured with high precision through the process mentioned above is mounted on the base substrate 3 which consists of a multilayer substrate which consists of an organic substrate, a ceramic substrate, etc., and the high frequency module 4 is manufactured. In a production process, it becomes possible to use the base substrate 3 manufactured using the manufacture process of the conventional multilayer substrate from the base substrate 3 not involving in the manufacture process of the circuit block object 2. In a production process, there is no limit in an ingredient etc. about the high frequency module 4, and it is highly precise, and advanced features are attained and it manufactures efficiently at a low price.

[0065] In the gestalt of operation mentioned above, although the circuit block object 2 and the base substrate 3 were joined by junction with the land of the 1st wiring layer 8, and the postbump 21, and restoration of under-filling 22, there is nothing what is limited to this junction gestalt. As it is indicated in drawing 14 thru/or drawing 17 as the circuit block object 2 and the base substrate 3, while being joined in one through the adhesives layer 23 prepared on the principal plane of the base substrate 3, it is joined by performing electrical installation. the adhesives layer 23 -- for example, epoxy system resin adhesives and acrylic resin adhesives -- the resin adhesives of a heat-curing mold are used preferably. The adhesives layer 23 is formed of uniform thickness on the principal plane of the base substrate 3 with which the postbump 21 was formed as shown in drawing 14. In addition, the adhesives layer 23 consists of a plate which has the uniform thickness of the same material as the resin adhesives mentioned above, for example, and you may make it form this by joining on

the principal plane of the base substrate 3.

[0066] In a production process, junction of the circuit block object 2 is performed to the base substrate 3 with which the adhesives layer 23 was formed as shown in drawing 15 by making into a plane of composition the stripped plane H which consists of the 1st insulating layer 7 and 1st wiring layer 8. A correspondence location is made to be carried out with the postbump 21 whom the land of the 1st wiring layer 8 faces using a positioning fixture with proper circuit block object 2 and base substrate 3 etc. mutually. In a production process, the thermocompression bonding process which pressurizes the circuit block object 2 in the state of heating to the base substrate 3 as the drawing 16 arrow head shows is given. As the circuit block object 2 is pressurized by the adhesives layer 23, and shown in this drawing, each postbump 21 advances into the interior.

[0067] In a production process, if the circuit block object 2 is pressurized further, it will run against each land of the 1st wiring layer 8 which each postbump 21 runs through the adhesives layer 23, and faces, and as shown in drawing 17, electrical installation of the land of the base substrate 3 and the land of the 1st wiring layer 8 of the circuit block object 2 is performed through each postbump 21. In a production process, it is joined by the adhesives layer 23 in one, and the circuit block object 2 and the base substrate 3 constitute the high frequency module 24 by it.

[0068] Therefore, in a production process, while junction to the circuit block object 2 and the base substrate 3 and both electrical installation are performed to coincidence, it is made unnecessary like under-filling 22 and its packer. In addition, in a production process, more positive connection may be made to be made by giving an ultrasonic-jointing method among each land of the 1st wiring layer 8 and the postbumps 21 who did relative junction, for example. Moreover, in a production process, when each land of the 1st wiring layer 8 and the postbump's 21 plane of composition consider as a gold layer, respectively, junction comes to be performed more certainly and easily.

[0069] Although one circuit block object 2 was formed through stratum disjunctum 6 on the principal plane of the mother substrate 1, you may make it form the circuit block aggregate 30 which forms successively many circuit block object 30a thru/or 30n to one, and becomes as shown in drawing 18 and drawing 19 on the mother substrate 1 in the gestalt of operation mentioned above. Although the circuit block aggregate 30 omits detailed explanation, each circuit block object 30 is mutually connected through the successive formation section, and it is collectively formed on the principal plane of the mother substrate 1 of the same process as the

production process of one circuit block object 2 mentioned above.

[0070] The circuit block aggregate 30 is set on the base of the dicing equipment which is not illustrated, and as shown in drawing 18, it is cut into the circuit block objects 30a-30n per piece by Cutters 31a and 31b. this cutting process is performed like the production process of the conventional semiconductor chip -- having -- each circuit block object 30 from circuit block aggregate 30 a -- or 30n is cut with high precision. Each circuit block object 30a thru/or 30n are held at the condition that laminating formation was carried out in addition on the mother substrate 1, although mutually carved according to this cutting process.

[0071] In a production process, by giving the exfoliation process mentioned above to the mother substrate 1 in which the circuit block aggregate 30 was formed, as shown in drawing 19, each circuit block object 30a thru/or 30n per every piece exfoliate independently through the stratum disjunctum 6 of the mother substrate 1. In a production process, each circuit block object 30a thru/or 30n are supplied to a junction process with the base substrate 3, respectively.

[0072] By the way, in a production process, the cutting impress 32 by the cutter 31 occurs by giving a cutting process to the circuit block aggregate 30 in the principal plane of the base material 5 which constitutes the mother substrate 1 as shown in drawing 19. Therefore, in a production process, since surface smoothness is spoiled by this cutting impress 32, it becomes impossible to carry out the reuse of the mother substrate 1, in order to manufacture the following circuit block aggregate 30. After discarding the mother substrate 1 or carrying out regrinding processing of the principal plane, re-membrane formation processing of stratum disjunctum 6 is performed [in / for this reason / a production process].

[0073] For this reason, in a production process, the mother substrate 1 which formed the dummy layer 35 between a base material 5 and stratum disjunctum 6 as shown in drawing 20 is also used. the proper synthetic-resin material in which the dummy layer 35 has mechanical rigidity -- surface smoothness highly precise on the principal plane of a base material 5 -- with -- **** -- it is formed. the thickness to which, as for the dummy layer 35, the point of a cutter 31 does not reach a base material 5 on the occasion of cutting of the circuit block aggregate 30 -- with -- **** -- it comes to be formed

[0074] Therefore, in a production process, as actuation of a cutter 31 is controlled in dicing equipment and it is shown in drawing 20 (a), a point is stopped inside the dummy layer 35 and cutting of the circuit block aggregate 30 is made to be performed. In a production process, each circuit

block object 30a which was able to be carved thru/or 30n exfoliate one piece at a time independently through the stratum disjunctum 6 of the mother substrate 1 by giving an exfoliation process, as shown in this drawing (b), respectively. In a production process, as shown in this drawing (c), even if the cutting impress 36 according [the mother substrate 1] to a cutter 31 has arisen to the dummy layer 35, there is no damage on a base material 5. In a production process, the dummy layer 35 and stratum disjunctum 6 which were damaged from the base material 5 as shown in this drawing (d) are removed.

[0075] In a production process, the base materials 5 of the mother substrate 1 are collected, on the principal plane, again, membranes are re-formed and the dummy layer 35 and stratum disjunctum 6 are reused by the manufacture process of the following circuit block aggregate 30. The mother substrate 1 is forming the dummy layer 35 by resin material, and can be easily removed from a base material 5. In a production process, from it being possible to form the dummy layer 35 and stratum disjunctum 6 easily, and to form the mother substrate 1 on a base material 5, the comparatively expensive base material 5 is reused and reduction of a manufacturing cost and production time comes to be achieved.

[0076] The high frequency module 40 shown in drawing 21 makes the 1st layer the base substrate section 41 which consists of a multilayer-interconnection substrate, the high frequency component layer 42 which consists of the 1st wiring layer 43, and the 2nd wiring layer 44 and the 3rd wiring layer 45 is joined, and it comes to mount high frequency IC 46 and a chip 47 on the front face of the 3rd wiring layer 45 further. The high frequency module 40 consists of an insulating layer and a wiring layer like the circuit block object 2 which each wiring layer 43 thru/or 45 mentioned above. As for the high frequency module 40, two or more passive elements are built in the 2nd wiring layer 44 and the 3rd wiring layer 45. The high frequency module 40 comes to mount a chip 47 directly on the 3rd wiring layer 45 while carrying out flip chip mounting of the high frequency IC 46 for example, using solder bump 48 grade.

[0077] In the high frequency module 40 constituted as mentioned above, while the base substrate section 41 is constituted considering an organic wiring substrate as a base material, a power source, the wiring section of a gland, and the wiring section of a control system are constituted by this base substrate section 41, and a power source or a signal is supplied to the high frequency component layer 42. In the high frequency module 40, the high frequency signal circuit section is constituted in the high frequency component layer 42, and the high frequency signal of an analog is processed.

In the high frequency module 40, by separating the base substrate section 41 and the high frequency component layer 42 electromagnetic, generating of electromagnetic compatibility is controlled and improvement in a property comes to be achieved. Since the high frequency module 40 becomes possible [forming wiring of the power source and gland which have sufficient area for the base substrate section 41], it performs high current supply of a regulation to the high frequency component layer 42. [0078] As shown in drawing 22, the circuit block object 2 manufactured through the process mentioned above is directly mounted on a substrate 51 as a chip equivalent to high frequency IC 46 and a chip, and constitutes the wiring circuit apparatus 50. The circuit block object 2 is mounted through solder bump 48 grade to the formed circuit pattern 52 with the wiring circuit apparatus 50 proper on the principal plane of a substrate 51. The wiring circuit apparatus 50 is mounting the highly precise circuit block object 2 as 1 chip, and is formed with high precision and at a low price. The wiring circuit apparatus 50 can form the highly precise circuit block object 2 in the location of a request of a substrate 51, and small lightweight-ization is attained.

[0079] In the gestalt of operation mentioned above, although the circuit block object 2 which consists of a layered product on the mother substrate 1 was manufactured, this circuit block object 2 is mounted in the base substrate 3 after exfoliating from the mother substrate 1 through stratum disjunctum 6, and the high frequency module 40 was manufactured, there is no this invention what is limited to this example of application. This invention is applied also to the semi-conductor module 60 which carries out face down mounting of two or more semiconductor chips 62 on the front face of the circuit block object 61 of 4 lamination, and becomes as shown in drawing 23. In addition, since [the circuit block object 61] it is equivalent to the circuit block object 2 which mentioned the fundamental configuration and the manufacture process above, it omits those detailed explanation.

[0080] It comes to form the closure resin layer 63 in which the semi-conductor module 60 closes this semiconductor chip 62 while a semiconductor chip 62 is mounted on the front face of the circuit block object 61. The semi-conductor module 60 comes to mount a semiconductor chip 62 in high density on the highly precise circuit block object 61 with which **pitch-ization was attained. Thin shape-ization is attained by performing polish processing to which, as for the semi-conductor module 60, a semiconductor chip 62 and the closure resin layer 63 grind the front face. 1st wiring layer 61a of the circuit block object 61 exposed when the

semi-conductor module 60 exfoliated from the mother substrate 1 through the exfoliation process mentioned above constitutes an external electrode. [0081] Although the semi-conductor module 60 omits a detail while the interlayer connection of the wiring layer of each class of the circuit block object 61 is mutually carried out through the beer 10 suitably formed between layers, corresponding to each mounting field of a semiconductor chip 62, many electrode pad 62b is formed in the wiring layer of the maximum upper layer, respectively. Each electrode pad 62b is formed corresponding to many bonding pads formed in the component side of a semiconductor chip 62, respectively. Each electrode pad 62b is formed in a semiconductor chip 62 with high precision by manufacturing the circuit block object 61 through the process mentioned above corresponding to many bonding pads formed in a ** pitch.

[0082] An exfoliation process is given and the production process of the semi-conductor module 60 manufactures the semi-conductor module 60, after manufacturing the circuit block object 61 on the mother substrate 1 through the process mentioned above and a semiconductor chip mounting process, and a closure resin layer formation process and a polish process are given as a process. A semiconductor chip mounting process is a process which attaches a solder bump, respectively and mounts a semiconductor chip 62 by the flip-chip-bonding method on each pad electrode 61b of the circuit block object 61. a semiconductor chip mounting process -- for example, TAB (tape automated bonding) -- it may be made to mount a semiconductor chip 62 on the circuit block object 61 by the face down mounting methods of other common knowledge, such as law and the beam-lead-bonding method.

[0083] In the production process of the semi-conductor module 60, as mentioned above, while the highly precise circuit block object 61 is manufactured on the mother substrate 1 who has high surface smoothness, a semiconductor chip 62 is mounted at the last process of the condition which held this circuit block object 61 to the mother substrate 1, i.e., an exfoliation process. A semiconductor chip mounting process mounts a semiconductor chip 62 with high precision to the circuit block object 61 without curvature, a wave, or irregularity.

[0084] A closure resin formation process is in the condition holding the circuit block object 61 which mounted the semiconductor chip 62 on the mother substrate 1, and is a process which forms the closure resin layer 63 in the front face of this circuit block object 61. In a closure resin formation process, as closure resin material, while epoxy system resin etc. is used, the closure resin layer 63 which closes a semiconductor chip 62 by the transfer mold method, print processes, etc. is formed. The closure

resin layer 63 protects mechanically and electrically a semiconductor chip 62 and the connection polar zone.

[0085] A polish process is in the condition which held the circuit block object 61 to the mother substrate 1 succeedingly, for example, is a process which grinds the front face of the closure resin layer 63 by the approach which used together the chemical polish approach or the mechanical polish approach by the mechanical polish approach and the wet etching method using a grinder, and the chemical polish approach. In a polish process, the front face of a semiconductor chip 62 is also ground collectively not only in the closure resin layer 63 but in the maximum range which does not have trouble in a function. In a polish process, it is possible to control generating of the damages on an edge chip etc. to a semiconductor chip 62, and to grind a peak from the closure of the semiconductor chip 62 being carried out by the closure resin layer 63, and being mechanically held in the periphery, by it, also when mechanical polish is given, for example.

[0086] In the production process of the semi-conductor module 60, manufacture of the semi-conductor module 60 with which thin shape-ization of the structure to which thickness mounted the semiconductor chip 62 of 100 or less ums on the circuit block object 61 formed in the thin shape was attained is enabled, without using the thin semiconductor chip with which polish processing etc. was performed in the state of the wafer. In the production process of the semi-conductor module 60, since a thin semiconductor chip is not used, while inconvenient generating, such as a crack and a chip, comes to be controlled by the semiconductor chip 62 at the time of the handling of conveyance into a process etc., handling also becomes simple, and the semi-conductor module 60 with which improvement in dependability was achieved is manufactured efficiently.

[0087] In addition, about a polish process, as a back process of an exfoliation process, after exfoliating from the mother substrate 1, it may be made to perform the circuit block object 61, but while it is more more efficient to grind where mechanical rigidity is held considering the mother substrate 1 as the base, it is reliable.

[0088] The semi-conductor module 60 manufactured through the above process constitutes a semiconductor device by giving the mounting process joined for example, on the mother substrate (base substrate) 65 shown with the chain line in drawing 23. A mounting process is performed by being combined with the connection pad with which external electrode 61a formed in the circuit block object 61 was formed on the principal plane of the base substrate 65 respectively electrically and mechanically. A mounting process is specifically performed by the face downing method like mounting

of a semiconductor chip 62 to the circuit block object 61.

[0089] A semiconductor device is mounting the semiconductor chip 62 which constitutes functional block different, respectively on the circuit block object 61, and constitutes an MCM semiconductor device. A semiconductor device is that the circuit pattern of high density is constituted while mounting a semiconductor chip 62 in high density on the circuit block object 61, and it constitutes the MCM semiconductor device of a high property which reduced L-C-R components, such as a circuit pattern, with small and a thin shape.

[0090] In the semi-conductor module 60, it is the structure where other surface mount die parts etc. are not mounted on the circuit block object 61, by mounting a semiconductor chip 62 in the wiring layer of the maximum upper layer. The semi-conductor module 65 shown in drawing 24 has the description in the configuration equipped with the circuit block object 66 with which two or more external connection terminals 67 were formed also in component-side 66a of a semiconductor chip 62. It comes to form each external connection terminal 67 as a projection electrode set to component-side 66a of the circuit block object 66 from a metal through the process which mentions a detail later. It comes to expose each external connection terminal 67 from the closure resin layer 63 by which each front face was ground as shown in this drawing.

[0091] Through each process which showed the semi-conductor module 65 to drawing 25 , on the mother substrate 1, where the circuit block object 66 is held, the external connection terminal 67 is formed. The production process of the semi-conductor module 65 is performed at the last process of the semiconductor chip mounting process which the external connection terminal formation process which forms the external connection terminal 67 shown in this drawing (a) showed in this drawing (b). In the production process of the semi-conductor module 65 The closure resin layer formation process which forms the closure resin layer 63 shown in this drawing (c) like the production process of the semi-conductor module 60 following on an external connection terminal formation process, The polish process which grinds the closure resin layer 6 grade shown in this drawing (d), and the exfoliation process which exfoliates the circuit block object 66 shown in this drawing (e) from the mother substrate 1 are given, and the semi-conductor module 65 is manufactured.

[0092] Electrode formation pad 68b which forms the external connection terminal 67 with electrode pad 68a which mounts a semiconductor chip 62 in the maximum upper wiring layer 68 which constitutes semiconductor chip component-side 66a is formed in the circuit block object 66. The circuit

block object 66 constitutes a component side [as opposed to a stripped plane and a base substrate in 1st layer wiring layer 66b by the side of the mother substrate 1].

[0093] An external connection terminal formation process is a process which forms the external connection terminal 67 by forming metal heights with plating on electrode formation pad 68b of the maximum upper wiring layer 68, or joining a solder ball etc. Plating consists of the process which applies a plating resist by the proper approach on the maximum upper wiring layer 68 of the circuit block object 66, a process which removes a plating resist corresponding to electrode formation pad 68b which forms the external connection terminal 67, and a process which forms the metal heights which have predetermined thickness by performing electrolytic copper plating to electrode formation pad 68b. A solder ball is formed on electrode formation pad 68b by supplying the mother substrate 1 in which the circuit block object 66 was formed to a reflow tub.

[0094] It is formed in the circuit block object 66 formed with high precision through the process mentioned above, and the external connection terminal 67 is highly precise, and it is miniaturized and it can be constituted [** pitch-ization and]. The external connection terminal 67 is formed a little more greatly than the thickness of the semiconductor chip 62 with which polish processing is performed while the height (thickness) is mounted in the circuit block object 66 at a back process. in addition, thickness in order that the external connection terminal 67 may attain thin shape-ization of the semi-conductor module 65, when grinding the front face of a semiconductor chip 62, in case a semiconductor chip 62 is ground by max at least -- mist and big height -- with -- **** -- it is formed.

[0095] A semiconductor chip mounting process mounts a semiconductor chip 62 on electrode pad 68a of the circuit block object 66 by the same approach as the process mentioned above. A closure resin layer formation process forms the closure resin layer 63 on the front face of the circuit block object 66 with which the external connection terminal 67 was formed while a semiconductor chip 62 is mounted. A polish process grinds the closure resin layer 63, and exposes the external connection terminal 67. At a polish process, the thin semi-conductor module 65 is formed by grinding the front face of a semiconductor chip 62, as mentioned above. In a polish process, the external connection terminal 67 is small, and since it grinds in the condition of having closed the periphery of these external connection terminal 67, and having held mechanically by the closure resin layer 63 when many is formed, generating of deformation, damage or the exfoliation from electrode formation pad 68b, etc., etc. is controlled.

[0096] The semi-conductor module 65 exfoliates from the mother substrate 1 through the exfoliation process mentioned above. The stripped plane from the mother substrate 1 constitutes plane-of-composition 66b with the base substrate 64, as for the semi-conductor module 65, makes the wiring layer of the 1st layer a connection terminal area, and a solder ball etc. is prepared. Many external connection terminals 67 are formed also in the front face which mounted the semiconductor chip 62 in the semi-conductor module 65. It is supposed through the external connection terminal 67 that it is possible to mount proper surface mount mold electronic parts, other proper semiconductor packages, etc. also in the component-side side of a semiconductor chip 62, and densification comes to be attained by the semi-conductor module 65.

[0097] Although plane-of-composition 66b of the circuit block object 66 is joined on the base substrate 64 and the semiconductor device was constituted as mentioned above, you may make it constitute the semi-conductor module 70 which mounted the surface mount die parts 69 as shown, for example in drawing 26 in the semi-conductor module 65. As surface mount die parts 69, a passive component or semiconductor packages, such as a chip resistor object and a chip capacitor, etc. are used, for example, and it is mounted by the solder reflow method etc. It is constituted as the land which replaces the semi-conductor module 70 with a connection terminal area [as opposed to / in this case / a base substrate in the wiring layer 71 of the 1st layer of the circuit block object 66], and mounts the surface mount die parts 69, or a connection circuit pattern. The highly precise land and connection circuit pattern which were formed into the ** pitch by the wiring layer 71 of the 1st layer are formed by forming the precise circuit block object 66 through the process which mentioned the semi-conductor module 70 above.

[0098] Therefore, various kinds of surface mount die parts 69 are mounted in the semi-conductor module 70 with high density and with high precision on the wiring layer 71 of the 1st layer. Moreover, the semi-conductor module 70 becomes possible [constituting the circumference circuit of each semiconductor chip 62 in the same package] by mounting various kinds of surface mount die parts 69 mentioned above. The semi-conductor module 70 becomes possible [reducing a connection] while shortening the wiring section by this, the L-C-R component in a circuit is reduced, and advanced features and high performance-ization come to be attained.

[0099] In the semi-conductor module 65 mentioned above, the semi-conductor module 73 shown in drawing 27 may be constituted by mounting the 2nd semiconductor chip 72, for example on plane-of-composition 66b of the

circuit block object 66. It is constituted as the connection land 74 and connection circuit pattern with which the semi-conductor module 73 is replaced with the connection terminal area to the base substrate with which the wiring layer 71 of the 1st layer of the circuit block object 66 mounts a semiconductor chip 72, and mounts the surface mount die parts 69 in this case. The semi-conductor module 73 constitutes the multilayer semiconductor device which mounted the semiconductor chip 62 of the 1st group, and the semiconductor chip 72 of the 2nd group in the front rear face of the circuit block object 66 in three dimension, respectively.

[0100] By using as a base material the semi-conductor module 65 which exfoliated from the mother substrate 1, as mentioned above, a semiconductor chip mounting process, a closure resin formation process, and a polish process are given, and the semi-conductor module 73 is manufactured, after turning up the wiring layer 71 of the 1st layer which is a stripped plane and being laid on a flat substrate. A semiconductor chip mounting process is a process which mounts a semiconductor chip 72 on the wiring layer 71 of the 1st layer of the circuit block object 66. As shown in the semi-conductor module 65 at drawing 28 (a), a semiconductor chip 72 is mounted on the land 74 formed in the wiring layer 71 of the 1st layer of the circuit block object 66.

[0101] A closure resin formation process is also a process which forms the closure resin layer 75 which closes the semiconductor chip 72 mounted as shown in drawing 28 (b). In order to thin-shape-ize the whole, a polish process is a process which grinds the front face of the formed closure resin layer 75, and also grinds the front face of a semiconductor chip 72 to coincidence. From the closure of the semiconductor chip 72 being carried out by the closure resin layer 75, and being mechanically held in the periphery, by it, generating of the damages on an edge chip etc. is controlled to a semiconductor chip 72, and a polish process can grind a peak, also when mechanical polish is given, for example.

[0102] The external connection terminal 67 mentioned above to the side which mounted the semiconductor chip 62 of the 1st group is formed, and the semi-conductor module 73 manufactured through the above process constitutes the multilayer semiconductor device mounted in the base substrate etc. through these external connection terminal 67. You may make it the semi-conductor module 73 form the external connection terminal 67 in the side which carried the semiconductor chip 72 of the 2nd group through the process mentioned above. The semi-conductor module 73 becomes possible [mounting in a base substrate by making this field into a plane of composition] by adopting this configuration.

[0103]

[Effect of the Invention] Maintenance [according to / as explained to the detail above / this invention] of the heat-resistant property over the rise of the skin temperature at the time of a highly precise flat side and thin film formation, or the depth of focus at the time of lithography, By manufacturing a circuit block object using the mother substrate which is good and has insulation and chemical resistance, the contact alignment property at the time of masking Without being influenced by the curvature of a substrate, and surface irregularity, it has the detailed wiring section, and it is highly precise and manufacture of a reliable circuit block object is performed efficiently. According to this invention, the thin circuit block object which contains a highly precise membrane formation component in the interior of a circuit block object, or makes possible high density assembly, such as a semiconductor chip and electronic parts, is manufactured.

[0104] According to this invention, the thin-shape-sized highly precise wiring circuit apparatus with which a circuit block object receives supply of a power source or a signal from a base substrate side is efficiently manufactured by joining the circuit block object which exfoliated from the mother substrate on a base substrate. A wiring circuit apparatus is that direct mounting to a base substrate etc. is also performed simply, a circuit block object and a base substrate side are separated electromagnetic, and generating of interference is controlled, and since it is possible to form wiring of the power source and gland which have sufficient area for a base substrate side while improvement in a property is achieved, the wiring circuit apparatus with which high current supply of a regulation is performed is obtained.

[0105] According to this invention, by mounting many semiconductor chips according to a simple process to the circuit block object which has the highly precise and detailed wiring section, it is highly precise and the small semiconductor device with which multi-functionalization was attained is manufactured efficiently. According to this invention, since it is possible to mount a semiconductor chip in the circuit block object thin-shape-sized by giving surface polish, without producing a chip, breakage, etc., high-density-assembly-ization is attained while the whole thin shape-ization is attained. By according to this invention, the circuit block object which mounted the semiconductor chip, and a base substrate side being separated electromagnetic, and generating of interference being controlled, since it is possible to form wiring of the power source and gland which have sufficient area for a base substrate side while improvement

in a property is achieved, the semiconductor device with which high current supply of a regulation is performed is obtained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the production process Fig. of the high frequency module concerning this invention.

[Drawing 2] It is drawing of longitudinal section of the mother substrate used for the production process of this high frequency module.

[Drawing 3] It is drawing of longitudinal section of a mother substrate in which the 1st insulating layer was formed.

[Drawing 4] It is drawing of longitudinal section of a mother substrate in which the 1st wiring layer was formed.

[Drawing 5] It is drawing of longitudinal section of a mother substrate in which the 2nd insulating layer and 2nd wiring layer were formed.

[Drawing 6] It is drawing of longitudinal section of the mother substrate with which the thin film resistor and the thin film capacitor were formed in the 2nd wiring layer.

[Drawing 7] It is drawing of longitudinal section of a mother substrate in which the 3rd insulating layer was formed.

[Drawing 8] It is drawing of longitudinal section of a mother substrate in which the 3rd wiring layer was formed.

[Drawing 9] It is the explanatory view of the exfoliation process of the circuit block object manufactured on the mother substrate.

[Drawing 10] It is drawing of longitudinal section of a base substrate.

[Drawing 11] It is the junction process explanatory view of a base substrate and a circuit block object.

[Drawing 12] It is drawing of longitudinal section in the condition of having joined the base substrate and the circuit block object.

[Drawing 13] It is drawing of longitudinal section of a high frequency module.

[Drawing 14] It is drawing of longitudinal section of a base substrate in which the adhesives layer was prepared.

[Drawing 15] It is the junction process explanatory view of this base substrate and a circuit block object.

[Drawing 16] It is the thermocompression bonding junction process explanatory view of this base substrate and a circuit block object.

[Drawing 17] It is drawing of longitudinal section of a high frequency module.

[Drawing 18] It is the cutting process explanatory view of a circuit block aggregate.

[Drawing 19] It is the exfoliation process explanatory view of a circuit block object.

[Drawing 20] It is the production process explanatory view of the circuit block object using the mother substrate which prepared the dummy layer, and, as for this drawing (a), an exfoliation process explanatory view and this drawing (c) of a cutting process explanatory view and this drawing (b) are drawing of longitudinal section of the mother substrate after a cutting process, and drawing of longitudinal section of the mother substrate from which this drawing (d) removed the resin layer.

[Drawing 21] It is drawing of longitudinal section of other high frequency modules.

[Drawing 22] It is drawing of longitudinal section of other high frequency modules.

[Drawing 23] It is drawing of longitudinal section of the semi-conductor module concerning this invention.

[Drawing 24] It is drawing of longitudinal section of the semi-conductor module with which the external connection terminal was formed in the semiconductor chip component side.

[Drawing 25] It is the explanatory view of the production process of this semi-conductor module.

[Drawing 26] It is drawing of longitudinal section of the semi-conductor module which carried surface mount die parts in the semiconductor chip component side.

[Drawing 27] It is drawing of longitudinal section of the semi-conductor module which mounted the semiconductor chip in both sides.

[Drawing 28] It is the explanatory view of the production process of this semi-conductor module.

[Drawing 29] It is drawing of longitudinal section of the wiring substrate in which the thin film resistor was formed.

[Drawing 30] It is drawing of longitudinal section of the wiring substrate in which the thin film capacitor was formed.

[Drawing 31] It is drawing of longitudinal section of the conventional high

frequency module.

[Drawing 32] It is drawing of longitudinal section of the conventional semiconductor device.

[Description of Notations]

1 Mother Substrate, 2 Circuit Block Object, 3 Base Substrate, 4 High Frequency Module, 5 A base material, 6 Stratum disjunctum, 7 The 1st insulating layer, 8 The 1st wiring layer, 9 The 2nd insulating layer, 10 Beer, 11 The 2nd wiring layer, 12 Thin film resistor, 13 A thin film capacitor, 14 The 3rd insulating layer, 15 Beer, 16 The 3rd wiring layer, 17 An inductor, 19 A wiring layer, 20 Beer, 21 Postbump, 22 Under-filling, 23 An adhesives layer, 30 Circuit block aggregate, 31 A cutter, 32 A cutting impress, 35 dummy layers, 36 Cutting impress, 40 A high frequency module, 41 The base substrate section, 42 high-frequency component layer, 43 insulating layers, 44 The 1st element formative layer, 45 The 2nd element formative layer, 46 RF IC 47 A chip, 48 Solder Bengbu, 50 High frequency module, 51 The base substrate section, 52 A wiring layer, 60 Semi-conductor module, 61 circuit block object, 62 A semiconductor chip, 63 Closure resin layer, 64 A base substrate, 65 A semi-conductor module, 66 A circuit block object, 67 An external connection terminal, 69 surface-mount die parts, 70 A semi-conductor module, 72 A semiconductor chip, 73 A semi-conductor module, 75 Closure resin layer

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164467

(P2002-164467A)

(43) 公開日 平成14年6月7日 (2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 B 5 E 3 4 6
	3 0 1		3 0 1 L
H 0 5 K 3/46		H 0 5 K 3/46	Q
			N
			T
審査請求 未請求 請求項の数73 O L (全 25 頁)			

(21) 出願番号 特願2001-24688(P2001-24688)

(22) 出願日 平成13年1月31日 (2001.1.31)

(31) 優先権主張番号 特願2000-280631(P2000-280631)

(32) 優先日 平成12年9月14日 (2000.9.14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72) 発明者 小川 剛
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 西谷 祐司
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100067736
弁理士 小池 晃 (外2名)

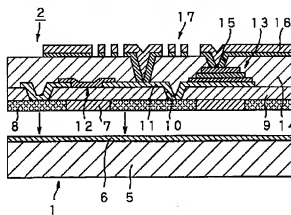
最終頁に続く

(54) 【発明の名称】 回路ブロック及びその製造方法、配線回路装置及びその製造方法並びに半導体装置及びその製造方法

(57) 【要約】

【課題】 高精度、高機能で薄型化され、パッケージの小型化、低価格を図るようとする。

【解決手段】 母基板1の平坦化された主面上に剥離層6を形成する剥離層形成工程と、剥離層6上に絶縁層7、9、16を形成する絶縁層形成工程と、絶縁層7に配線層8、11、14を形成する配線層形成工程と、剥離層を介して各絶縁層及び配線層からなる回路ブロック体2を剥離する回路ブロック体剥離工程とを有してなる。回路ブロック体2は、配線層内に成膜素子12、13、17が内蔵されベース基板3に実装されて配線装置を構成する。回路ブロック体2は、表面に半導体チップ62が実装されるとともにベース基板64に実装されて半導体装置を構成する。



【特許請求の範囲】

【請求項1】 絶縁層と、この絶縁層にパターンニング形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄厚のシート状に形成されてなり、

母基板の平坦化された主面に形成された剥離層上に形成されるとともに、この剥離層を介して上記母基板から剥離されて形成されることを特徴とする回路ブロック体。

【請求項2】 少なくとも1層以上の配線部が所定箇所を互いに層間接続されて形成されるとともに、最上層の配線部或いは最下層の配線部に上記外部接続ランドが形成されてなることを特徴とする請求項1に記載の回路ブロック体。

【請求項3】 上記配線部内に、薄膜技術或いは厚膜技術により成膜素子が成膜形成されて成膜素子内蔵型配線回路ブロック体を構成することを特徴とする請求項2に記載の回路ブロック体。

【請求項4】 上記成膜素子が、薄膜技術によって成膜形成された抵抗及びキャパシタと、厚膜技術によって成膜形成されたインダクタとからなる受動素子であり、高周波回路ブロック体を構成することを特徴とする請求項3に記載の回路ブロック体。

【請求項5】 上記配線部上に、半導体チップを実装するとともにこの半導体チップを封止する封止樹脂層が形成されて半導体装置を構成することを特徴とする請求項1に記載の回路ブロック体。

【請求項6】 上記半導体チップ及び封止樹脂層が表面を研磨されて薄型化されていることを特徴とする請求項5に記載の回路ブロック体。

【請求項7】 上記配線部に、電極パターンと、金属膜とからなる多数個の突起電極とが形成され、上記封止樹脂層が表面を研磨されて上記各突起電極と半導体チップとが露出されていることを特徴とする請求項5に記載の回路ブロック体。

【請求項8】 露出された上記各突起電極に、それぞれ金属ボール端子が設けられていることを特徴とする請求項7に記載の回路ブロック体。

【請求項9】 上記配線部の底面に、表面実装型部品及び／又は半導体チップが実装されるとともに、これらを封止する封止樹脂層とが研磨されて薄型化されていることを特徴とする請求項5に記載の回路ブロック体。

【請求項10】 上記表面実装型部品及び／又は半導体チップと封止樹脂層とが研磨されて薄型化されていることを特徴とする請求項5に記載の回路ブロック体。

【請求項11】 平坦化された主面を有する母基板の上記主面に剥離層を形成する剥離層形成工程と、上記剥離層上に絶縁層を形成する絶縁層形成工程と、上記絶縁層に、多数個の外部接続ランドを有する配線部をパターンニングして形成する配線部形成工程と、上記剥離層を介して、上記母基板から上記絶縁層と配線

部とからなる薄厚の回路ブロック体を剥離する剥離工程とを有することを特徴とする回路ブロック体の製造方法。

【請求項12】 上記剥離層上に第1の絶縁層をパターンニングして形成する第1の絶縁層形成工程と、上記第1の絶縁層の開口パターンにメッキ処理によって第1の配線部を形成する第1の配線部形成工程と、上記第1の絶縁層と第1の配線部上に、複数のビアをパターンニングしながら第2の絶縁層を形成する第2の絶縁層形成工程と、

上記第2の絶縁層上に、外部接続ランド及び薄膜技術或いは厚膜技術によって成膜形成される成膜素子を含む第2の配線部を形成する第2の配線部形成工程とを施し、上記各絶縁層形成工程と配線部形成工程とが、それぞれ交互に行われることによって多層の配線部が形成されることを特徴とする請求項11に記載の回路ブロック体の製造方法。

【請求項13】 上記母基板に、シリコン基板或いはガラス基板が用いられることを特徴とする請求項11に記載の回路ブロック体の製造方法。

【請求項14】 上記剥離層形成工程が、上記母基板の主面に金属膜層からなる剥離層を形成する工程であることを特徴とする請求項11に記載の回路ブロック体の製造方法。

【請求項15】 上記剥離工程が、酸溶液或いはアルカリ溶液に浸漬することにより、上記金属層からなる剥離層から上記回路ブロック体を剥離する工程であることを特徴とする請求項11に記載の回路ブロック体の製造方法。

【請求項16】 上記母基板に対して、その主面上に上記回路ブロック体が複数個連続して形成され、上記母基板においてそれぞれ分割される切断工程が施された後に、上記剥離工程が施されて上記回路ブロック体が1個ずつに分離されて形成されることを特徴とする請求項11に記載の回路ブロック体の製造方法。

【請求項17】 上記剥離層形成工程の前工程として、上記母基板の主面にダミー層を形成するダミー層形成工程が施され、

上記切断工程において、上記回路ブロック体をそれぞれ分離するカットが上記ダミー層で停止されて上記母基板の主面に達しないように制御されることを特徴とする請求項16に記載の回路ブロック体の製造方法。

【請求項18】 上記配線部形成工程が、上記絶縁層上に、薄膜技術や厚膜技術によって成膜形成される成膜素子に内蔵した少なくとも1層以上の成膜素子内蔵配線部を形成する工程であることを特徴とする請求項11に記載の回路ブロック体の製造方法。

【請求項19】 上記成膜素子の形成工程が、薄膜技術によって抵抗体及びキャパシタとを成膜形成する工程

と、厚膜技術によってインダクタを成膜形成する工程とからなり、

上記成膜素子によって上記配線部を高周波回路部として構成することを特徴とする請求項1に記載の回路ブロック体の製造方法。

【請求項20】 最上層の上記配線部に対して、半導体チップを実装する半導体実装工程と、この半導体チップを封止する封止樹脂層を形成する封止樹脂層形成工程とが施されて半導体装置を形成することを特徴とする請求項1に記載の回路ブロック体の製造方法。

【請求項21】 上記半導体チップ及び封止樹脂層の表面を研磨して薄型化する研磨工程が施されることを特徴とする請求項20に記載の回路ブロック体の製造方法。

【請求項22】 最上層の上記配線部に形成された電極パターンに対して金属膜からなる突起電極を形成する電極形成工程と、半導体チップを実装する半導体実装工程と、上記突起電極と半導体チップとを封止する封止樹脂層を形成する封止樹脂層形成工程と、上記封止樹脂層を研磨して上記突起電極と半導体チップとを露出させる研磨工程とが施されることを特徴とする請求項1に記載の回路ブロック体の製造方法。

【請求項23】 露出された上記各突起電極に、それぞれ金属ボール端子を形成する金属ボール端子形成工程を施すことを特徴とする請求項22に記載の回路ブロック体の製造方法。

【請求項24】 上記配線部の底面に、表面実装型部品及び／又は半導体チップを実装する部品実装工程を施すことを特徴とする請求項1に記載の回路ブロック体の製造方法。

【請求項25】 上記配線部の底面に実装された表面実装型部品及び／又は半導体チップを封止する封止樹脂層を形成する封止樹脂形成工程を施すことを特徴とする請求項24に記載の回路ブロック体の製造方法。

【請求項26】 絶縁層と、この絶縁層にパターンニングして形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄層のシート状に形成されてなり、母基板の平坦化された主面に形成された剥離層上に形成されるとともに、この剥離層を介して上記母基板から剥離されて形成された回路ブロック体と、

主面上に、上記回路ブロック体の各外部接続ランドに対応して多数個の接続ランドが形成されたベース基板とを備え、

上記回路ブロック体が、上記各接続ランドを相対する上記外部接続ランドとそれぞれ接続されて、上記ベース基板の主面上に接合されて実装されることを特徴とする配線回路装置。

【請求項27】 上記各接続ランドにそれぞれポストバンプが形成されるとともに、上記ベース基板の主面上に上記ポストバンプを覆って熱可塑性樹脂材からなる接着剤層が形成されてなり、

上記回路ブロック体が、上記ベース基板の主面上に重ね合わされた状態で熱圧着されることにより上記各ポストバンプが接着剤層を突き抜けて上記接続ランドと接続されて、上記ベース基板上に接合されて実装されることを特徴とする請求項26に記載の配線回路装置。

【請求項28】 少なくとも1層以上の配線部が所定箇所を互いに層間接続されて形成されるとともに、最上層の配線部或いは最下層の配線部に上記外部接続ランドが形成されることを特徴とする請求項26に記載の配線回路装置。

【請求項29】 上記ベース基板に、アルミナ、ガラスセラミックアルミナイトライド或いはムライトから選択された材料を基材とするセラミック多層基板が用いられることを特徴とする請求項26に記載の配線回路装置。

【請求項30】 上記ベース基板に、ガラスエポキシ、ポリイミド、ビスマレイトトリアジン樹脂、ポリフェニールエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂或いはポリテトラフルオロエチレンから選択された材料を基材とする有機多層基板が用いられることを特徴とする請求項26に記載の配線回路装置。

【請求項31】 上記ベース基板が、少なくとも一方の主面に、感光性若しくは非感光性のエポキシ樹脂、ポリイミド或いはベンゾクロブテンの誘電樹脂材層と金属メッキ層とによって高密度配線層が形成されたビルドアップ基板が用いられることを特徴とする請求項29又は請求項30のいずれか1項に記載の配線回路装置。

【請求項32】 上記回路ブロック体が、上記ビルドアップベース基板上に高周波集積回路素子或いは集積回路チップとともに実装され、上記ビルドアップベース基板側から電源或いは信号の供給を受けることを特徴とする請求項31に記載の配線回路装置。

【請求項33】 上記回路ブロック体が、上記配線部内に、薄膜技術或いは厚膜記述により成膜素子が成膜形成されて成膜素子内蔵型配線回路ブロック体を構成することを特徴とする請求項26に記載の配線回路装置。

【請求項34】 上記成膜素子が、薄膜技術によって成膜形成された抵抗体及びキャパシタと、厚膜技術によって成膜形成されたインダクタとからなる受動素子であり、上記回路ブロック体が高周波回路ブロック体を構成することを特徴とする請求項26に記載の配線回路装置。

【請求項35】 上記回路ブロック体の配線部上に、表面実装型部品或いはチップ部品が直接実装されていることを特徴とする請求項26に記載の配線回路装置。

【請求項36】 平坦化された主面を有する母基板の上記主面上に剥離層を形成する剥離層形成工程と、上記剥離層上に絶縁層を形成する絶縁層形成工程と、上記絶縁層に、多数個の外部接続ランドを有する配線部をパターンニングして形成する配線部形成工程と、上記剥離層を介

して上記母基板から上記絶縁層と配線部とからなる回路ブロック体を剥離する剥離工程とを経て薄層の回路ブロック体を形成する回路ブロック体形成工程と、上記回路ブロック体をベース基板の主面上に接合して実装する回路ブロック体接合工程とを有することを特徴とする配線回路装置の製造方法。

【請求項37】 上記配線部の各接続ランドにポストバンパを形成するポストバンパ形成工程と、熱可塑性樹脂材からなる接着剤層が形成された上記ベース基板に対して重ね合わされた状態で熱圧着処理することによって接合される接合工程とが施され、

上記外部接続ランドに対して、上記各ポストバンパが上記接着剤層を突き抜けてそれぞれ接合することにより上記ベース基板に形成された接続ランドとの接続が行われることを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項38】 上記剥離層上に第1の絶縁層をパターンニングして形成する第1の絶縁層形成工程と、上記第1の絶縁層の開口パターンにメッキ処理によって第1の配線部を形成する第1の配線部形成工程と、上記第1の絶縁層と第1の配線部上に、複数のビアをパターンニングしながら第2の絶縁層を形成する第2の絶縁層形成工程と、

上記第2の絶縁層上に、外部接続ランド及び薄膜技術あるいは厚膜技術によって成膜形成される上記成膜素子を含む第2の配線部を形成する第2の配線部形成工程とを施し、

上記各絶縁層形成工程と配線部形成工程とが、それぞれ交互に行われることによって多層積層体からなる上記回路ブロック体を形成することを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項39】 上記母基板に、シリコン基板あるいはガラス基板を用いることを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項40】 上記剥離層形成工程が、上記母基板の主面上に金属膜層からなる剥離層を形成する工程であることを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項41】 上記剥離工程が、酸液液あるいはアルカリ溶液に浸漬することにより、上記金属層からなる剥離層から上記回路ブロック体を剥離する工程であることを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項42】 上記母基板に対して、その主面上に上記回路ブロック体が複数個連続して形成され、上記母基板上においてそれぞれ分割される切断工程が施された後に、上記剥離工程が施されて上記回路ブロック体が1個ずつに分離されて形成されることを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項43】 上記剥離層形成工程の前工程として、

上記母基板の主面上にダミー層を形成するダミー層形成工程が施され、

上記切断工程において、上記回路ブロック体をそれぞれ分離するカットが上記ダミー層で停止されて上記母基板の主面に達しないように制御されることを特徴とする請求項42に記載の配線回路装置の製造方法。

【請求項44】 上記配線部形成工程が、上記絶縁層上に、薄膜技術や厚膜技術によって成膜形成される成膜素子を内蔵した少なくとも1層以上の成膜素子内蔵配線部を形成する工程であることを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項45】 上記成膜素子の形成工程が、薄膜技術によって抵抗体及びキャパシタとを成膜形成する工程と、厚膜技術によってインダクタを成膜形成する工程とからなり、

上記成膜素子によって上記配線部を高周波回路部として構成することを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項46】 上記ベース基板に、アルミナ、ガラスセラミックアルミナイトライド或いはムライトから選択された材料を基材とするセラミック多層基板が用いられることを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項47】 上記ベース基板に、ガラスエポキシ、ポリイミド、ビスマレイトリアジジン樹脂、ポリフェニールエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂或いはポリテトラフルオロエチレンから選択された材料を基材とする有機多層基板が用いられることを特徴とする請求項36に記載の配線回路装置の製造方法。

【請求項48】 上記ベース基板に、少なくとも一方の主面に感光性若しくは非感光性のエポキシ樹脂、ポリイミド或いはベンゾシクロブテンの誘導樹脂材層と金属メッキ層とによって高密度配線層が形成されたビルドアップ基板が用いられることを特徴とする請求項46又は請求項47のいずれか1項に記載の配線回路装置の製造方法。

【請求項49】 絶縁層と、この絶縁層にパターンニングして形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄層のシート状に形成されてなり、母基板の平坦化された主面に形成された剥離層上に形成されるとともに、この剥離層を介して上記母基板から剥離されて形成された回路ブロック体と、上記配線部上に実装された半導体チップ及びこの半導体チップを封止する封止樹脂層と、

主面上に、上記回路ブロック体の各外部接続ランドに対応して多数個の接続ランドが形成されたベース基板とを備え、

上記回路ブロック体が、上記各接続ランドを相対する上記外部接続ランドとそれぞれ接続されて、上記ベース基板の主面上に接合されて実装されることを特徴とする半

導体装置。

【請求項50】 上記各接続ランドにそれぞれポストバンプが形成されるとともに、上記ベース基板の主面上に上記ポストバンプを覆って熱可塑性樹脂材からなる接着剤層が形成されてなり、上記回路ブロック体が、上記ベース基板の主面上に重ね合わされた状態で熱圧着されることによって上記各ポストバンプが接着剤層を突き抜けて上記接続ランドと接続されることを特徴とする請求項49に記載の半導体装置。

【請求項51】 少なくとも1層以上の配線部が所定箇所を互いに層間接続されて形成されるとともに、上記半導体チップが実装された最上層の配線部或いは最下層の配線部に上記外部接続ランドが形成されてなることを特徴とする請求項49に記載の半導体装置。

【請求項52】 上記ベース基板に、アルミナ、ガラスセラミックアルミナイトライド或いはムライトから選択された材料を基材とするセラミック多層基板が用いられることを特徴とする請求項49に記載の半導体装置。

【請求項53】 上記ベース基板に、ガラスエポキシ、ポリイミド、ビスマレイントリアジン樹脂、ポリフェニールエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂或いはポリテトラフルオロエチレンから選択された材料を基材とする有機多層基板が用いられることを特徴とする請求項49に記載の半導体装置。

【請求項54】 上記ベース基板が、少なくとも一方の主面に、感光性若しくは非感光性のエポキシ樹脂、ポリイミド或いはベンゾシクロブテンの誘電樹脂材層と金属メッキ層とによって高密度配線層が形成されたビルドアップ基板が用いられることを特徴とする請求項52又は請求項53のいずれか1項に記載の半導体装置。

【請求項55】 上記半導体チップ及び封止樹脂層が表面を研磨されて薄型化されていることを特徴とする請求項49に記載の半導体装置。

【請求項56】 上記配線部に、電極パターンと、金属膜からなる多数個の突起電極とが形成され、上記封止樹脂層が表面を研磨されて上記各突起電極と半導体チップとが露出されていることを特徴とする請求項49に記載の半導体装置。

【請求項57】 露出された上記各突起電極に、それぞれ金属ボール端子が設けられていることを特徴とする請求項56に記載の半導体装置。

【請求項58】 上記配線部の底面に表面実装型部品及び／又は半導体チップが実装されるとともに、これらを封止する封止樹脂層が形成された上記回路ブロック体を備えることを特徴とする請求項49に記載の半導体装置。

【請求項59】 上記半導体チップと封止樹脂層との表面を研磨されて薄型化されていることを特徴とする請求項50に記載の半導体装置。

【請求項60】 平坦化された主面を有する母基板の上記主面上に剥離層を形成する剥離層形成工程と、上記剥離層上に絶縁層を形成する絶縁層形成工程と、上記絶縁層に多数個の外部接続ランドを有する配線部をパターンニングして形成する配線部形成工程とを経て薄層の回路ブロック体を形成する回路ブロック体形成工程と、上記回路ブロック体の配線部に半導体チップを実装する半導体チップ実装工程と、上記半導体チップを封止する封止樹脂層を上記回路ブロック体の配線部上に形成する封止樹脂層形成工程と、上記剥離層を介して上記母基板から半導体チップを実装した回路ブロック体を剥離する剥離工程と、上記回路ブロック体をベース基板の主面上に接合して実装する回路ブロック体接合工程とを有することを特徴とする半導体装置の製造方法。

【請求項61】 上記配線部の各接続ランドにポストバンプを形成するポストバンプ形成工程と、熱可塑性樹脂材からなる接着剤層が形成された上記ベース基板に対して重ね合わされた状態で熱圧着処理することによって接合される接合工程とが施され、上記外部接続ランドに対して、上記各ポストバンプが上記接着剤層を突き抜けてそれぞれ接合することにより上記ベース基板に形成された接続ランドとの接続が行われることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項62】 上記半導体チップ実装工程が、少なくとも1層以上の配線部が所定箇所を互いに層間接続されて形成されてなる上記回路ブロック体の最上層の配線部に上記半導体チップを実装する工程であることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項63】 上記母基板に、シリコン基板或いはガラス基板を用いることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項64】 上記剥離層形成工程が、上記母基板の主面上に金属膜層からなる剥離層を形成する工程であることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項65】 上記剥離工程が、酸溶液或いはアルカリ溶液に浸漬することにより、上記金属層からなる剥離層から上記回路ブロック体を剥離する工程であることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項66】 上記母基板に対して、その主面上に上記回路ブロック体が複数個連続して形成され、上記母基板上においてそれぞれ分割される切断工程が施された後に、上記剥離工程が施されて上記回路ブロック体が1個ずつに分離されて形成されることを特徴とする請求項60に記載の半導体装置の製造方法。

【請求項67】 上記剥離層形成工程の前工程として、上記母基板の主面上にダミー層を形成するダミー層形成工程が施され、

上記切断工程において、上記回路ブロック体をそれぞれ分離するカッタが上記ダミー層で停止されて上記母基板の面に達しないように制御されることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 68】 上記ベース基板に、アルミナ、ガラスセラミックアルミニナイトライドまたはムライトから選択される材料を基材とするセラミック多層基板が用いられることを特徴とする請求項 60 に記載の半導体装置の製造方法。

【請求項 69】 上記ベース基板に、ガラスエポキシ、ポリイミド、ビスマレイトトリアジン樹脂、ポリフェニルエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂またはポリテトラフルオロエチレンから選択される材料を基材とする有機多層基板が用いられることを特徴とする請求項 60 に記載の半導体装置の製造方法。

【請求項 70】 上記ベース基板に、少なくとも一方の面に感光性若しくは非感光性のエポキシ樹脂、ポリイミドまたはベンゾシクロブテンの誘電樹脂材層と金属メッキ層とによって高密度配線層が形成されたビルドアップ基板が用いられることを特徴とする請求項 68 又は請求項 69 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 71】 上記封止樹脂形成工程と上記剥離工程との間において、上記半導体チップ及び封止樹脂層の表面を研磨して薄型化する研磨工程を施すことを特徴とする請求項 60 に記載の半導体装置の製造方法。

【請求項 72】 上記配線部に、電極パターンと、金属膜からなる多数個の突起電極とを形成する電極形成工程と、上記封止樹脂層の表面を研磨して上記各突起電極と半導体チップとを露出させる研磨工程とを施すことを特徴とする請求項 60 に記載の半導体装置の製造方法。

【請求項 73】 露出された上記各突起電極にそれぞれ金属ボール端子を設ける金属ボール端子形成工程を施すことを特徴とする請求項 72 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄型化が図られた回路ブロック体及びその製造方法と、この回路ブロック体を備えて高密度薄型化が図られた配線回路装置及びその製造方法と、上記回路ブロック体を備えて高密度薄型化が図られた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、各種の電子機器等においては、小型軽量化、高機能化或いは多機能化が図られており、内蔵される配線回路装置や半導体装置についても小型高密度実装化が図られている。配線回路装置は、配線回路のビアの微細化或いは配線小型化の狭帯化が図られるとともに、ICパッケージの小型化や多ピン化、半導体チップのペラップ実装、さらにはコンデンサや抵抗等の

受動素子の小型化や表面実装化等の技術開発により、小型高密度実装化が図られている。一方、受動素子においては、小型化の進展に伴って従来技術での製造或いは基板に対する実装が極めて困難となっている。したがって、配線回路装置においては、回路基板の上面や層内に受動素子を直接成膜して形成した成膜素子内蔵型の配線回路装置も提案されている。

【0003】かかる成膜素子内蔵型配線回路装置は、セラミック基板上に、例えば金属や絶縁体のペーストをスクリーン印刷法等によって印刷する厚膜技術を用いて抵抗体やキャパシタが成膜形成されてなる。しかしながら、厚膜技術による受動素子の形成は、パターン精度や厚み精度に難があり、また再現性等のバラツキによって十分な信頼性が得られていないといった問題がある。また、厚膜技術による受動素子の形成は、基板上に塗布したペーストを焼結させるために高温処理が行われることから、耐熱性を有する基板が用いられなければならない、材料が制限されて比較的高価であるといった問題があった。

【0004】一方、半導体装置においても、1個の半導体チップに所定の機能を集約するいわゆるシステム大規模集積回路 (LSI: large-scale integrate circuit) 化が図られている。また、半導体装置においては、プロセス技術の進展によって、例えばロジック機能とメモリ機能或いはアナログ機能とデジタル機能等のように異なる機能が混載されたシステム LSI も提供されている。さらに、半導体装置においては、小型、薄型化の要求も大きく、例えば半導体ウェハ状態で裏面から機械的、化学的或いはその両方の方法によって研磨処理を施して薄型化を図ることも行われている。

【0005】しかしながら、システム LSI は、複数のプロセスを経て各機能ブロックを混載する構造であるために、プロセス数が増加し、結果的に製造時間の増大や歩留りの低下等が生じてコストアップとなるといった問題があった。半導体装置においては、かかるシステム LSI の問題点を解決するために、例えばマルチチップ・モジュール (MCM: multi chip module) 化の対応も図られる。この MCM は、各プロセスの機能ブロックを個別の半導体チップとして製造し、これら半導体チップを同一の配線基板上に実装してシステム LSI と同様の機能を半導体モジュールで実現したものである。

【0006】

【発明が解決しようとする課題】 配線回路装置においては、上述した問題点を解決するために、図 29 及び図 30 に示すようにフォトグラフィック法、スパッタリング法や蒸着法等の薄膜形成技術を用いた成膜素子内蔵型配線回路装置の検討が図られている。図 29 に示した配線回路装置 100 は、コア基板 101 の面に絶縁層 102 が形成され、この絶縁層 102 上に配線パターン 103 とともに抵抗体 104 が成膜形成されている。抵抗体

104は、例えばニッケルクロム(Ni-Cr)や、窒化タンタル(TaN)或いはタンタル(Ta)等によって形成されている。なお、窒化タンタルは、温度係数(TCR)が100PPM/℃以下の小さな値であり、寿命特性の安定度で優れていることから好適に用いられる。

【0007】また、図30に示した配線回路装置105は、上述した配線回路装置100と同様に主面に絶縁層102が形成されたコア基板101が用いられ、絶縁層102上に形成された配線パターン103の相対する両端部103a、103b間にキャパシタ106が成膜形成されている。キャパシタ106は、詳細には下部配線パターン103a上に誘電体層107が成膜されるとともにこの誘電体層107上に上部配線パターン103bが積層形成されてなる。誘電体層107は、例えば酸化タンタル(Ta_2O_5)や、窒化シリコン(Si_3N_4)或いはチタン酸バリウム($BaTiO_3$)等によって形成されている。酸化タンタルは、スパッタリング法によって基板上に直接成膜形成することが可能であり、またタンタル層や窒化タンタル層を陽極酸化することによってその表面上に酸化物を成長させて所望の厚みの酸化タンタル膜を形成することが可能である。

【0008】配線回路装置においては、例えばコア基板に受動素子を形成する際に機能するように導電性を有するシリコン基板が用いられている。このため、配線回路装置においては、例えばマザー基板等に実装する場合に配線パターンに形成した多数のランドとマザー基板のランドとの間をワイヤボンディング法によって接続するために、受動素子形成層の表面に端子パターンが形成される。したがって、配線回路装置においては、端子パターン形成工程やワイヤボンディング工程が必要であった。

【0009】ところで、通信端末機器等においては、小型軽量化で携帯が可能であることが必須となっており、送受信部においてアナログの高周波信号の交換処理を行う高周波モジュールが備えられる。図31に示した高周波モジュール110は、ベース基板部111上に、薄膜技術や厚膜技術によって層内に成膜受動素子を形成した高周波素子層部112を積層形成してなる。高周波素子層部112は、ベース基板部111の配線パターン113上に絶縁層114を介して第1配線層115が形成される。高周波素子層部112は、絶縁層114に形成したビア116を介してベース基板部111の配線パターン113と第1配線層115とが接続される。

【0010】高周波素子層部112には、第1配線層115に、上述したような抵抗体117やキャパシタ118が成膜形成されてなる。高周波素子層部112には、第1配線層115上に第2の絶縁層119が形成され、さらにこの第2の絶縁層119上にビア116を介して第2配線層120が積層形成されてなる。高周波素子層部112には、この第2配線層120にインダクタ12

1が形成されている。なお、インダクタ121については、利得の損失から、一般にスパッタリング法等による薄膜形成技術により形成されずに、例えばメッキ法等による厚膜形成技術によって形成される。

【0011】ところで、かかる高周波モジュール110においては、ベース基板部111上に高精度の抵抗体117やキャパシタ118がスパッタリング法等の薄膜形成技術によって形成されるために、ベース基板部111にスパッタリング時の表面温度の上昇に対する耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性等が必要となる。ベース基板部111には、このために高精度の平坦性が要求されるとともに、絶縁性、耐熱性或いは耐薬品性等が要求される。

【0012】高周波モジュール110においては、ベース基板部111のコア基板に、かかる特性を有するSi基板やガラス基板が用いられ、LSIと別プロセスにより低コストで低損失な受動素子の成膜形成が可能とされるようになる。高周波モジュール110は、Si基板やガラス基板を用いることで、従来のセラミックモジュール技術で用いられる印刷によるパターン等の形成方法やプリント配線基板に配線パターンを形成する湿式エッチング法等と比較して、高精度の受動素子の形成が可能であるとともに、素子サイズをその面積が1/100程度まで縮小することが可能となった。高周波モジュール110は、Si基板やガラス基板を用いることで、成膜受動素子の使用限界周波数帯域を20GHzまで高めることも可能となった。

【0013】しかしながら、高周波モジュール110においては、例えばマザー基板等に実装するために上述したように高周波素子層部112にランドの形成やワイヤボンディング法等による接続工程が必要となる。高周波モジュール110は、高周波信号系の配線パターンが構成された高周波素子層部112に対して、ベース基板部111側から電源やグラウンドの供給配線或いは制御系信号配線が行われる。高周波送受信モジュール110においては、このためにベース基板部111と高周波素子層部112との間に電磁的干渉が生じるとともに、配線層を多層に形成することによるコストアップになるといった問題も生じる。

【0014】高周波モジュールについては、上述したシリコン基板やガラス基板に起因する問題点を解決するために従来の配線基板装置に一般的に用いられている比較的廉価で多層化が可能な有機配線基板の適用が検討される。かかる高周波モジュールは、有機配線基板を用いることによって、ベース基板部に電源やグラウンドの配線部や制御系の配線部を構成するとともに高周波素子層部に高周波信号回路部を構成することで、両者の電磁的干渉が図られ電磁干渉の発生が抑制されて特性の向上が図られるようになる。高周波モジュールは、ベース基板部に

充分な面積を有する電源やグラウンドの配線を形成することが可能となることから、レギュレーションの高い電源供給が行われる。

【0015】しかしながら、高周波モジュールは、多層配線基板をベース基板としてその上部に高周波素子層部を形成する場合に、ベース基板に上述したシリコン基板やガラス基板の特性を十分に有していないことから高精度の成膜受動素子を形成し得ないといった問題がある。また、高周波モジュールは、多層配線基板がそれ自体に反りが有るために、パターンニング工程を順次行う際に各層の配線パターン等の位置合わせ精度が低下して高精度に製作されないといった問題がある。さらに、高周波モジュールは、多層配線基板がその表面が比較的粗いとともにこれに形成した配線パターンにより大きな凹凸も有るために、平坦性を要求される高精度の成膜受動素子の形成が困難であるといった問題があった。高周波モジュールは、多層配線基板の耐熱性が小さいために、スパッタリング工程を施すことが困難であるといった問題があった。

【0016】一方、図32に示す半導体装置130においても、配線基板131として有機基板やセラミック基板が用いられ、その表裏面に絶縁層132、133を介して配線層134、135がそれぞれパターン形成される。半導体装置130は、配線層134、135に図示しないが適宜の配線パターンや必要に応じて成膜素子等が形成されるとともに、一方主面に半導体チップ136がフェースダウン実装される。半導体装置130は、表裏の配線層134、135間の接続が配線基板131に形成したスルーホール137を介して行われる。半導体装置130には、配線層134、135を被覆してソルダレジスト層138、139が形成されるとともにビア140、141を介して接続端子142や外部接続電極143が形成される。

【0017】ところで、半導体装置130においては、これらの配線基板131の主面に形成される配線パスのピッチが製造条件から最小でも約100 μ m程度であることから、各半導体チップ136の間で多数の接続が行われる場合に大きな面積或いは配線層が多層化された配線基板131が必要となる。また、半導体装置130においては、配線基板131の表裏主面に半導体チップ136を実装する場合に、スルーホール137を介して各半導体チップ136或いは配線パターン間の接続が行われる。半導体装置130においては、加工条件等からスルーホール137やランドがその孔径を最小でも約50 μ m、ランド径が最小でも約50 μ mより大きくなるために、大きな面積を有する配線基板131が必要となる。

【0018】半導体装置130は、上述した配線基板131に起因する問題点から、各半導体チップ136間を接続する配線パスが長くなるとともに多層化に伴って配線パスに多数個のビアホール140、141が介在す

る。このため、半導体装置130は、配線パスのL・C・R成分が大きくなってシステムLSIと比較して性能が劣化するという問題があった。

【0019】また、半導体装置130においては、上述したようにマザー基板等に実装するために配線基板131の裏面に接続用の外部接続電極143が形成され、この裏面に対して半導体チップや他の電子部品等を実装することができなかった。半導体装置130においては、このために半導体チップ136の周辺回路の取り込みや配線基板131に対する高密度の実装が困難となるといった問題があった。

【0020】一方、半導体装置130においては、薄型化を図るためにウェハ状態で研磨された半導体チップ136を配線基板131に実装する方法も採用されている。しかしながら、薄型化された半導体チップ136は、機械的強度が劣化しているために研磨後の取り扱いが難しく、例えば次工程への搬送等の取扱時に割れが生じたり、個片化するためのタイシング加工時に欠けが発生する等の問題があった。また、薄型化された半導体チップ136は、配線基板131に実装する際にもチップ欠けや割れが発生し易いといった問題があった。

【0021】半導体装置130においては、上述したように平坦性や耐熱性に優れたシリコン基板やガラス基板を用いることにより配線層内の信頼性の向上が図られるが、表裏面間の導通構造を形成することが困難であるために半導体チップを表裏面に実装して高密度化を図ることが難しい。また、半導体装置130においては、各配線層内の配線密度の差異等によって配線基板131に反りが生じやすくなる。半導体装置130は、特に有機基板からなる配線基板131を用いた場合に、半導体チップ136の実装工程で負荷される熱によって配線基板131の反りの発生がさらに大きくなり、例えばマザー基板に実装する際に平坦不良が生じて信頼性が劣化するといった問題があった。

【0022】したがって、本発明は、平坦性がよく反りの小さい等の特性を有するシリコン基板やガラス基板に着目し、これを母基板として薄膜技術や厚膜技術によって絶縁層を介して成膜素子内配線層を形成した後、剥離工程を経ることにより高精度、高機能、高信頼度で薄型化されて、パッケージの小量化、低価格を図る回路ブロック体及びその製造方法、この回路ブロック体を備える配線回路装置及びその製造方法並びに回路ブロック体を備える半導体装置及びその製造方法を提供することを目的に提案されたものである。

【0023】

【課題を解決するための手段】上述した目的を達成する本発明にかかる回路ブロック体は、絶縁層と、この絶縁層にパターンニング形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄層の形成された多数個の外部接続ランドとからなる薄層に形成された多数個の外部接続ランドとからなる薄層に形

成された剥離層上に形成されるとともに、この剥離層を介して母基板から剥離されて形成されてなる。

【0024】以上のように構成された本発明にかかる回路ブロック体によれば、高精度の平坦特性、耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で製作されることで、基板の反りや表面の凹凸に影響されことなく微細な配線バスを有して高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする高精度で信頼性の高い配線部が形成される。したがって、回路ブロック体によれば、ベース基板等に接合することによって、信頼性の高い配線回路装置を構成する。

【0025】また、上述した目的を達成する本発明にかかる回路ブロック体の製造方法は、平坦化された主面を有する母基板の上記主面に剥離層を形成する剥離層形成工程と、剥離層上に絶縁層を形成する絶縁層形成工程と、絶縁層に多数個の外部接続ランドを有する配線部をパターンニング形成する配線部形成工程と、剥離層を介して母基板から絶縁層と配線部とからなる薄層の回路ブロック体を剥離する剥離工程とを有してなる。

【0026】以上の工程を有する本発明にかかる回路ブロック体の製造方法によれば、高精度の平坦特性、耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で回路ブロック体を製作することで、基板の反りや表面の凹凸に影響されことなく微細な配線バスを有して高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする高精度で信頼性の高い配線部を有する回路ブロック体を効率的に製作する。

【0027】さらに、上述した目的を達成する本発明にかかる配線回路装置は、回路ブロック体と、主面に回路ブロック体の各外部接続ランドに対応して多数個の接続ランドが形成されたベース基板とを備えてなる。配線回路装置は、絶縁層と、この絶縁層にパターンニング形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる薄層のシート状に形成されてなり、母基板の平坦化された主面に形成された剥離層上に形成されるとともに、この剥離層を介して母基板から剥離されて形成される。配線回路装置は、回路ブロック体が、各接続ランドを相対する外部接続ランドとそれぞれ接続されてベース基板の主面に接合されて実装されてなる。

【0028】以上のように構成された本発明にかかる配線回路装置によれば、高精度の平坦特性や耐熱特性あるいはリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で製作されることでベース基板の反りや表面の凹凸に影響されず微細な配線バスを有して

高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする高精度で信頼性の高い配線部が形成された回路ブロック体を備える。したがって、配線回路装置によれば、配線部とベース基板側の回路部とが電氣的、電磁的に分離されて相互の干渉の発生が抑制されることで特性の向上が図られるとともに、ベース基板側に十分な面積を有する電源やグランド等の配線を形成することが可能とされることからレギュレーションの高い電源供給が行われるようになる。

【0029】さらにまた、上述した目的を達成する本発明にかかる配線回路装置の製造方法は、母基板を介して回路ブロック体を形成する回路ブロック体形成工程と、回路ブロック体をベース基板の主面に接合して実装する回路ブロック体接合工程とを有して、配線回路装置を製作する。回路ブロック体形成工程は、母基板の平坦化された主面に剥離層を形成する剥離層形成工程と、剥離層上に絶縁層を形成する絶縁層形成工程と、絶縁層に多数個の外部接続ランドを有する配線部をパターンニング形成する配線部形成工程と、剥離層を介して母基板から絶縁層と配線部とからなる回路ブロック体を剥離する剥離工程とを経て薄層の回路ブロック体を形成する。

【0030】以上の工程を有する本発明にかかる配線回路装置の製造方法によれば、高精度の平坦特性や耐熱特性あるいはリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で回路ブロック体を製作し、この回路ブロック体をベース基板に接合して配線回路装置を製作することで、ベース基板の反りや表面の凹凸に影響されず微細な配線バスを有して高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする高精度で信頼性の高い配線部を有する配線回路装置が効率的に製作される。配線回路装置の製造方法によれば、配線部とベース基板側の回路部とが電氣的、電磁的に分離されて相互の干渉の発生が抑制されて特性の向上が図られるとともにベース基板側に十分な面積を有する電源やグランドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われる配線回路装置が製作される。

【0031】また、上述した目的を達成する本発明にかかる半導体装置は、薄層のシート状に形成された回路ブロック体と、この回路ブロック体の配線部に実装された半導体チップ及びこの半導体チップを封止する封樹脂層と、主面に回路ブロック体の各外部接続ランドに対応して多数個の接続ランドが形成されたベース基板とを備えてなる。回路ブロック体は、絶縁層と、この絶縁層にパターンニング形成された配線部と、この配線部に形成された多数個の外部接続ランドとからなる。

【0032】以上のように構成された本発明にかかる半導体装置によれば、高精度の平坦特性や耐熱特性あるいはリソグラフィ時の焦点深度の保持、マスキング時のコン

タクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で製作され、ベース基板の反りや表面の凹凸に影響されず微細な配線パスを有する回路ブロック体を備えることで、半導体チップが高精度にかつ高密度に実装化される。半導体装置によれば、半導体チップを実装した配線部とベース基板側の回路部とが電氣的、電磁的に分離されて相互の干渉の発生が抑制されて特性の向上が図られるとともに、ベース基板側に十分な面積を有する電源やグラウンドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われるようになる。半導体装置によれば、半導体チップや封止樹脂を研磨して薄型化が図られるとともに、半導体チップの欠けや割れ等の発生も低減されるようになる。

【0033】さらに、上述した目的を達成する本発明にかかる半導体装置の製造方法は、母基板上で薄層の回路ブロック体を形成する回路ブロック体形成工程と、回路ブロック体に半導体チップを実装する半導体実装工程と、半導体チップを封止する封止樹脂層を回路ブロック体の配線部上に形成する封止樹脂形成工程と、剥離層を介して母基板から上半導体チップを実装した回路ブロック体を剥離する剥離工程と、回路ブロック体をベース基板の主面上に接合して実装する回路ブロック体接合工程とを有してなる。回路ブロック体形成工程は、平坦化された主面を有する母基板の主面上に剥離層を形成する剥離層形成工程と、剥離層上に絶縁層を形成する絶縁層形成工程と、絶縁層に多数個の外部接続ランドを有する配線部をパターンニング形成する配線部形成工程とからなる。

【0034】以上の工程を有する本発明にかかる半導体装置の製造方法によれば、高精度の平坦特性や耐熱特性あるいはリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性や耐薬品性を有する母基板上で回路ブロック体を製作し、この回路ブロック体をベース基板に接合して半導体装置を製作することで、ベース基板の反りや表面の凹凸に影響されない微細な配線パスが形成されて半導体チップの高精度な高密度実装を可能とする信頼性の高い半導体装置が効率的に製作される。半導体装置の製造方法によれば、配線部や半導体チップとベース基板側の回路部とが電氣的、電磁的に分離されて相互の干渉の発生が抑制されて特性の向上が図られるとともにベース基板側に十分な面積を有する電源やグラウンドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われる半導体装置が製作される。半導体装置の製造方法によれば、半導体チップや封止樹脂を研磨して薄型化が図られるとともに、半導体チップの欠けや割れ等の発生も低減されるようになる。

【0035】

【発明の実施の形態】以下、本発明の実施の形態につい

て、図面を参照して詳細に説明する。実施の形態として示す回路ブロック体2は、携帯通信端末機器等に備えられて送受信部においてスーパーヘテロダイン方式やダイレクトコンバージョン方式によってアナログの高周波信号の変換処理を行う高周波モジュール4に実装される。回路ブロック体2は、図1に示した工程図のように母基板1上において製作された後に剥離工程を経て母基板1から分離され、多層配線基板からなるベース基板3に接合されて高周波モジュール4を構成する。高周波モジュール4は、ベース基板3側が、上層の回路ブロック体2に対する電源系の配線、制御系の配線あるいはグラウンド面を構成する。

【0036】高周波モジュール4の製造工程においては、図2に示した母基板1が製造工程に供給される。母基板1には、絶縁性、耐熱性あるいは耐薬品性を有し、高精度の平坦面の形成が可能であり剛性が高いS1基板やガラス基板が用いられ、詳細を後述する各工程を経てその主面上に回路ブロック体2が製作される。製造工程においては、かかる母基板1を用いることで、スパッタリング時の表面温度の上昇に対する耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性の向上が図られるようになる。したがって、製造工程においては、従来の印刷法や湿式エッチング法等と比較して、サイズが面積で1/100程度まで縮小され、使用限界周波数帯域も20GHzまで高められる高精度の回路ブロック体2の製作を可能とする。

【0037】製造工程は、上述したように母基板1の基材5がS1基板やガラス基板からなり、高精度の平坦面に形成されたこの基材5の主面上に剥離層6を成膜形成する剥離層形成工程(s-1)を第1工程とする。剥離層6は、適宜の成膜技術によって成膜形成された銅層やアルミニウム層等の金属層からなり、図2に示すように基材5の主面上にスパッタ法によって厚みが1000Å程度となるように均一な厚みを以て全面に亘って成膜形成するとともに、この金属層の表面にスピコンコート法によって厚みが1乃至2μm程度の樹脂層、例えばポリイミド樹脂層を成膜形成してなる。母基板1は、後述するように複数層の積層体からなる回路ブロック体2をその主面上に形成するが、剥離層6が、後述する剥離工程において回路ブロック体2を剥離する作用を奏する。

【0038】製造工程は、母基板1の剥離層6上に第1の絶縁層7を成膜形成する第1の絶縁層形成工程(s-2)を第2工程とする。第1の絶縁層7は、低誘電率で低いTanδ、すなわち高周波特性に優れた耐熱性や耐薬品性に優れた絶縁性誘電材によって形成される。絶縁性誘電材には、例えばポリイミド、ベンゾシクロブテン(BCB)、ポリノルボルネン(PNB)、液晶ポリマ(LCP)あるいはエポキシ樹脂やアクリル系樹脂が用いられる。第1の絶縁層7は、図3に示すように剥離層6上に適宜の成膜技術によって所定のパターンを以て

形成される。第1の絶縁層7は、感光性の絶縁性誘電材を用いた場合には、フォトリソグラフィにより剥離層6上に直接パターン形成される。第1の絶縁層7は、非感光性の絶縁性誘電材を用いた場合には、例えばフォトリソグラフィとドライエッチング法により剥離層6上にパターン形成される。

【0039】製造工程は、例えば母基板1にメッキ処理を施して上述したようにパターン形成された第1の絶縁層7の開口部に対応して剥離層6上に金属メッキ層からなる第1の配線層8を成膜形成する第1の配線層形成工程(s-3)を第3工程とする。製造工程は、剥離層6を電圧印加電極として例えば銅メッキ処理を施すことによって第1の絶縁層7の開口部に対応した剥離層6の露出部位に銅をメッキして、図4に示すように第1の絶縁層7とほぼ同一の厚みとなるように制御された第1の配線層8を形成する。

【0040】第1の配線層8と第1の絶縁層7とは、剥離層6との境界面が後述するように回路ブロック2を母基板1から剥離する際の剥離面を構成する。第1の配線層形成工程は、第1の配線層8を銅メッキによる厚膜形成技術によって形成することで、この剥離面を高精度の平坦面に形成することを可能として後述するようにベース基板3に対して接合する際に安定した接合が行われるようにする。また、第1の配線層8は、回路ブロック2におけるグランドや電源部として構成されることから充分な厚みを有することが好ましく、メッキによる厚膜形成技術により好適に形成される。

【0041】第1の配線層8は、銅メッキによって剥離層6上に直接成膜形成するようにしたが、例えば剥離層6上に形成された金-ニッケルによる下地層上に形成するようにしてもよい。第1の配線層8は、この下地層が、後述するようにベース基板3等に形成されたランド等と半田バンプ等を介しての接続端子部として有効に作用する。

【0042】第1の配線層8と第1の絶縁層7については、例えば剥離層6上にメッキやスパッタ法等により、例えば金-ニッケル-銅の金属層を形成し、この金属層にエッチング処理を施して配線パターンを形成するとともに絶縁層を形成するようにしてもよい。また、第1の配線層8と第1の絶縁層7については、例えば剥離層6上にメッキレジスト層を形成し、メッキによって所定の配線パターンを形成するアディティブ法等によって形成するようにしてもよい。

【0043】製造工程は、第1の絶縁層7と第1の配線層8との上層に、第2の絶縁層9を全面に亘って形成する第2の絶縁層形成工程(s-4)を第4工程とする。第2の絶縁層9は、上述した第1の絶縁層7と同一の絶縁性誘電材によって形成される。第2の絶縁層形成工程においては、第1の配線層8の所定部位を露呈させる複数のビア10の形成も行われる。各ビア10は、感光性

の絶縁性誘電材の場合には所定のパターンを形成したマスクを第2の絶縁層9の表面に取り付けてフォトリソグラフィによって直接形成する。各ビア10は、例えば第2の絶縁層9に対してレーザ照射を行ってホールを形成する等の適宜の方法によって形成するようにしてもよい。

【0044】製造工程は、第2の絶縁層9上に適宜の配線パターンを以て第2の配線層11を形成する第2の配線層形成工程(s-5)を第5工程とする。第2の配線層11は、上述した銅メッキによる厚膜形成技術やスパッタリング法等による薄膜形成技術によって形成され、図5に示すように各ビア10を介して第1の配線層8との接続が図られてなる。第2の配線層11は、平坦性が保持された母基板1の主面1上に形成された上述した各層上に積層形成される。したがって、第2の配線層形成工程は、従来のように有機基板を基材として多層の配線層が積層形成される多層プリント配線基板と比較して、極めて高精度の第2の配線層11を形成する。

【0045】製造工程は、第2の配線層11に、図6に示すように薄膜抵抗体12や薄膜キャパシタ13等の薄膜素子を形成する薄膜素子形成工程(s-6)を第6工程とする。なお、薄膜素子形成工程においては、後述するようなインダクタも第2の配線層11に形成するようにしてもよいことは勿論である。薄膜抵抗体12は、上述したように第2の配線層11に形成した抵抗体形成部位間にニッケル-クロムや窒化タンタルあるいはタンタル等の抵抗体形成材料を、フォトリソグラフィ法、スパッタリング法、蒸着法等の薄膜形成技術によって成膜して形成される。薄膜抵抗体12の形成方法は、例えば形成部位に対応する第2の絶縁層9上にリフトオフ法によって窒化タンタル層を形成する工程と、この窒化タンタル層上にレジスト処理を施した後に窒化タンタルをスパッタリングする工程と、レジスト層部分の窒化タンタルを除去する工程とを経て形成される。

【0046】薄膜キャパシタ13の形成方法は、第2の配線層11上にキャパシタ形成部位を除く全面にレジストをコーティングする工程と、ホウ酸アンモニウム等の電解液中で窒化タンタルが陽極となるように電界をかける陽極酸化工程と、上部電極形成工程とを経て形成される。陽極酸化工程は、窒化タンタルに100V、30分程度の電界を印加する陽極酸化処理を施す工程であり、窒化タンタル層が酸化してタンタルオキシサイト層が形成される。第2の配線層11には、必要な配線パターンだけを残すようにフォトリソグラフィ処理によってレジストのパターンニングが行われるとともに、タンタルオキシサイト層にレジストを取り去った後にマスキングが施されて、例えばリフトオフ法によってニッケル層と銅層とからなる上部電極が形成される。

【0047】製造工程においては、上述したように高精度の平坦面と耐熱特性をいかにソリグラフィ時の焦点深度

の保持、マスキング時のコンタクトアライメント特性が良好であり、絶縁性及び耐薬品性を有する母基板1を用いることで、スパッタリング時の熱やエッチングの薬品等に影響されること無く、第2の配線層11に高精度の薄膜抵抗体12や薄膜キャパシタ13が形成される。

【0048】製造工程は、第2の配線層11及び薄膜抵抗体12や薄膜キャパシタ13を被覆する第3の絶縁層14を形成する第3の絶縁層形成工程(s-7)を第7工程とする。この第3の絶縁層14も、上述した第1の絶縁層7や第2の絶縁層9と同一の絶縁性誘電材によって形成される。第3の絶縁層形成工程においても、図7に示すよう第2の配線層11の所定部位や薄膜キャパシタ13の上部電極を露呈させる複数のビア15の形成も行われる。各ビア15も、上述した第2の絶縁層9に形成されるビア10と同様に、所定のパターンを形成したマスクを第3の絶縁層14の表面に取り付けてフォトリソグラフィ法によって形成される。

【0049】製造工程は、第3の絶縁層14上に第3の配線層16を形成する第3の配線層形成工程(s-8)を第8工程とする。第3の配線層16は、例えばスパッタリング法等の薄膜形成技術により銅配線パターンを形成する方法や、銅メッキ等による厚膜形成技術によって形成される。第3の配線層の形成工程は、スパッタリング法等によって第2の絶縁層9上にニッケル及び銅とからなるスパッタ層を成膜処理した後に、このスパッタ層に対してフォトリソグラフィ処理によって所定のパターニングを行う工程を有する。第3の配線層の形成工程は、このスパッタ層に対して電界メッキにより数 μm 程度の厚みを有する銅メッキを選択的に行った後に、メッキ用レジストを除去しさらにスパッタ層を全面的にエッチングすることによって図8に示すように第3の配線層16を形成する。

【0050】第3の配線層16は、ビア15の内壁に形成されたスパッタ層を介して、第2の配線層11や薄膜キャパシタ13との電気的導通が図られる。第3の配線層16には、その一部にスパイラル型のインダクタ17が形成される。インダクタ17は、直列抵抗値が問題となるが、上述したように第3の配線層16がスパッタ層に対して電解メッキを施して所定の厚みを以て形成されることで損失の低下が図られる。なお、第3の配線層16にも、例えば上述した薄膜抵抗体12や薄膜キャパシタ13を必要に応じて形成してもよいことは勿論である。

【0051】製造工程においては、上述した第3の配線層16を最上層として母基板1に積層構造の回路ブロック2が形成される。なお、製造工程においては、必要に応じて第3の配線層16上にさらに多層の絶縁層や配線層を形成するようにしてもよいことは勿論である。製造工程は、母基板1と回路ブロック2との積層体を酸あるいはアルカリ溶液中に浸漬することによって、回路ブ

ロック体2を母基板1から剥離する回路ブロック体一母基板剥離工程(s-9)を第9工程とする。回路ブロック体2は、上述したように剥離層6が銅材により形成されており、塩酸溶液に浸漬することによって図9に示すように剥離層6の上面を界面として母基板1からきれいに剥離する。回路ブロック体2は、第1の絶縁層7及び第1の配線層8とから構成される露呈面が剥離面Hを構成する。

【0052】回路ブロック体2は、剥離層6が銅材により形成されており例えば硝酸溶液に浸漬した場合に、剥離層6の表面がわずかに溶解することによって母基板1から剥離する。なお、回路ブロック体2は、この場合第1の配線層8の剥離面Hも硝酸溶液によってその表面が侵されることから、剥離層6との間に予め保護層を形成するようにしてもよい。

【0053】回路ブロック体2は、剥離層6がCu層一ポリイミド層によって構成されている場合に、塩酸溶液に浸漬されることによってこのCu層とポリイミド層との界面から剥離が行われる。回路ブロック体2は、例えば酸素プラズマによるドライエッチング法が施されることにより、第1の絶縁層7及び第1の配線層8側に残ったポリイミド層の除去が行われる。

【0054】以上の工程を有する回路ブロック体2の製造工程によれば、高平坦性を有し機械的強度が大きな母基板1を用いてその主面上に多層の回路ブロック体2を形成することから、各層及び各配線層内に形成される薄膜受動素子12、13等が極めて高精度に形成される。回路ブロック体2の製造工程によれば、従来の半導体プロセスに用いられる装置を用いて、高精度のエッチングレジスト層、メッキレジスト層や絶縁層の形成或いはレジストの塗布処理、露光処理や現像処理等の各処理が可能とされることで、各配線層に幅寸法が1 μm 以下の配線パターンが形成される。

【0055】回路ブロック体2の製造工程によれば、例えばプリント配線基板のような有機基板上やセラミック基板等上に上述した各工程を経て形成した場合に生じる基板の反りや収縮或いはうねりや凹凸がほとんど無いことから、各層や薄膜受動素子或いは配線パターンの精度劣化が抑制されて高精度に形成される。回路ブロック体2の製造工程によれば、各絶縁層等の形成に高温処理を要する場合に有機基板で問題となる耐熱性の影響も無く、またスパッタ層の成膜に際しての真空状態時のデガスの問題或いはゴミの問題等についてもその低減が図られる。

【0056】回路ブロック体2の製造工程によれば、各配線層に形成される配線パターンの密度が異にされている場合においても、機械的強度を有する母基板1上で回路ブロック体2の製作が行われることで反りやうねりあるいは凹凸等の発生が抑制される。したがって、回路ブロック体2の製造工程によれば、各配線層が高精度に形

成されて信頼性の高い回路ブロック体2が製造される。回路ブロック体2は、反りやうねり或いは凹凸がほとんど無いことから、ベース基板等に実装する場合において半田付け不良等の発生が抑制される。

【0057】製造工程は、母基板1から剥離された回路ブロック体2がベース基板3に接合されるとともに、後述するように部品の実装工程等が施されることによって高周波モジュール4の製造が行われる。製造工程においては、多層化された有機基板やセラミック基板がベース基板3として用いられる。ベース基板3は、図10に示すようにコア基板3aに対してその表面側と裏面側部に多層の配線層3b、3cが形成されてなり、各層間或いは上下配線層3b、3cが多数の割間ビア20により適宜接続されてなる。ベース基板3には、上部配線層3bの表面上に配線パターン19aが形成されるとともに、下部配線層3cに端子ランド19bが形成されている。

【0058】ベース基板3は、アルミナ、ガラスセラミックアルミナイトライド或いはムライトを基材とするセラミック多層基板が用いられる。ベース基板3は、ガラスエポキシ、ポリイミド、ビスマレイトリアジエン樹脂、ポリフェニルエチレン樹脂、フェノール樹脂、ポリオレフィン樹脂或いはポリテトラフルオロエチレンを基材とする有機多層基板が用いられる。ベース基板3は、少なくとも一方の主面に、感光性若しくは非感光性のエポキシ樹脂、ポリイミド或いはペンソシクロブテンの誘電樹脂材層と金属膜とによって高密度配線層が形成されたビルドアップ基板が用いられる。

【0059】ベース基板3には、上部配線層3bの配線パターン19a上に複数のポストバンプ21を適宜形成するポストバンプ形成工程(s-10)が施される。ポストバンプ形成工程は、電解メッキ法や無電解メッキ法によって銅バンプからなるポストバンプ21を形成する工程である。ポストバンプ形成工程は、後述するアンダーフィル22の厚みとほぼ等しい厚み、例えば20μm～100μmの厚みを有するポストバンプ21を形成する。ポストバンプ形成工程においては、ポストバンプ21の表面にニッケル-金メッキを施して金メッキ層を形成するようにしてもよく、また表面に半田メッキを施すようにしてもよい。

【0060】製造工程は、ポストバンプ21が形成されたベース基板3上に回路ブロック体2を接合する回路ブロック体-ベース基板接合工程(s-11)を第10工程とする。接合工程においては、図11に示すように回路ブロック体2が、第1の絶縁層7と第1の配線層8とから構成される剥離面Hを接合面として接合が行われる。回路ブロック体2は、第1の配線層8にパターン形成されたランドが、相対するポストバンプ21と互いに接続されて図12に示すようにベース基板3に接合されて接合体を構成する。

【0061】接合工程においては、例えばポストバンプ

21の表面に半田メッキを施したり半田バンプを設けた場合には、第1の配線層8のランドに対して半田法による接続が可能となる。接合工程においては、第1の配線層8に金層が形成されている場合には、表面酸化が抑制されることで半田の流れが良くなって銅層と比較して良好な半田接続が行われる。

【0062】接合工程においては、例えばポストバンプ21の表面と第1の配線層8のランドの表面とにそれぞれ金層が形成されている場合には、例えば金-金による熱圧接法や超音波接合法によってこれらの間の接続が行われる。回路ブロック体2とベース基板3とは、その他の適宜の方法によってポストバンプ21と第1の配線層8のランドとが接続されて接合されることは勿論である。

【0063】製造工程は、回路ブロック体2とベース基板3との間に介在するポストバンプ21によって構成された間隙にアンダーフィル22を充填してこれを埋設するアンダーフィル充填工程(s-12)を第11工程とする。アンダーフィル22には、例えば半導体チップのフリップチップ実装工程において一般的に用いられるアンダーフィル材及び充填方法が用いられる。アンダーフィル22は、ポストバンプ21の厚みよりも小径粒子のものを用いられることにより、図13に示すように回路ブロック体2の接合面Hとベース基板3の主面との間に均一に充填される。製造工程は、上述した工程を経て高周波モジュール4を製造するが、例えば回路ブロック体2の第3の配線層16上に高周波ICやチップ部品等を実装する部品実装工程(s-13)や、マザー基板上に実装するモジュール化工程(s-14)や、例えば回路ブロック体2を遮蔽するシールドカバーの取付工程等が施される。

【0064】製造工程においては、上述した工程を経て高精度に製作された回路ブロック体2を有機基板やセラミック基板等からなる多層基板からなるベース基板3上に実装して高周波モジュール4を製造する。製造工程においては、回路ブロック体2の製造工程においてベース基板3が関与しないことから、従来の多層基板の製造プロセスを利用して製作されたベース基板3を用いることが可能となる。製造工程においては、高周波モジュール4を、材料等に制限が無く高精度でかつ高機能化を図ってより廉価でかつ効率的に製造する。

【0065】上述した実施の形態においては、回路ブロック体2とベース基板3とを、第1の配線層8のランドとポストバンプ21との接合とアンダーフィル22の充填とによって接合するようとしたが、かかる接合形態に限定されるものではない。回路ブロック体2とベース基板3とは、図14乃至図17に示すようにベース基板3の主面に設けられた接着剤層23を介して一体的に接合されるとともに電気的接続が行われて接合される。接着剤層23には、例えばエポキシ系樹脂接着剤やアクリ

ル系樹脂接着剤、好ましくは熱硬化型の樹脂接着剤が用いられる。接着剤層23は、図14に示すようにポストパンプ21が形成されたベース基板3の主面上に均一な厚みによって形成される。なお、接着剤層23は、例えば上述した樹脂接着剤と同一素材の均一な厚みを有する板状体からなり、これをベース基板3の主面上に接合することによって形成するようにしてもよい。

【0066】製造工程においては、図15に示すように接着剤層23が設けられたベース基板3に対して、第1の絶縁層7と第1の配線層8とから構成される剥離面Hを接合面として回路ブロック体2の接合が行われる。回路ブロック体2とベース基板3とは、適宜の位置決め治具等を用いて第1の配線層8のランドが相対するポストパンプ21と互いに対応位置されるようにする。製造工程においては、図16矢印で示すようにベース基板3に対して回路ブロック体2を加熱状態で加圧する熱圧着工程が施される。接着剤層23には、回路ブロック体2が加圧されるにしたがって同図に示すように各ポストパンプ21がその内部に進入する。

【0067】製造工程においては、回路ブロック体2がさらに加圧されると各ポストパンプ21が接着剤層23を突き抜けて相対する第1の配線層8の各ランドに突き当たり、図17に示すように各ポストパンプ21を介してベース基板3のランドと回路ブロック体2の第1の配線層8のランドとの電気的接続を行う。製造工程においては、接着剤層23によって回路ブロック体2とベース基板3とが一体的に接合されて高周波モジュール24を構成する。

【0068】したがって、製造工程においては、回路ブロック体2とベース基板3との接合と両者の電気的接続が同時に行われるとともに、アンダーフィル22及びその充填工程を不要とする。なお、製造工程においては、例えば相対接合した第1の配線層8の各ランドとポストパンプ21との間に超音波接合法を施すことによってより確実な接続が行われるようにしてもよい。また、製造工程においては、第1の配線層8の各ランドとポストパンプ21の接合面がそれぞれ金層とすることにより、より確実かつ容易に接合が行われるようになる。

【0069】上述した実施の形態においては、母基板1の主面上に剥離層6を介して1個の回路ブロック体2を形成したが、図18及び図19に示すように多数個の回路ブロック体30乃至30nを一体に連設してなる回路ブロック集合体30を母基板1上に形成するようにしてもよい。回路ブロック集合体30は、詳細な説明を省略するが、各回路ブロック体30が連設部を介して相互に連結されており、上述した1個の回路ブロック体2の製造工程と同一工程によって母基板1の主面上に一括して形成される。

【0070】回路ブロック集合体30は、図示しないダイシング装置の台上にセッティングされ、図18に示す

ようにカット31a、31bによって1個ずつの回路ブロック体30乃至30nにカッティングされる。このカッティング工程は、従来の半導体チップの製造工程と同様に行われ、回路ブロック集合体30から各回路ブロック体30乃至30nを高精度にカッティングする。各回路ブロック体30乃至30nは、このカッティング工程により相互に切り分けられているが、なお母基板1上に積層形成された状態に保持されている。

【0071】製造工程においては、回路ブロック集合体30を形成した母基板1に対して上述した剥離工程を施すことによって、図19に示すように母基板1の剥離層6を介して各回路ブロック体30乃至30nが1個ずつ独立して剥離される。製造工程においては、各回路ブロック体30乃至30nがそれぞれベース基板3との接合工程に供給される。

【0072】ところで、製造工程においては、回路ブロック集合体30に対してカッティング工程が施されることによって、図19に示すように母基板1を構成する基材5の主面にカット31による切断痕32が発生する。したがって、製造工程においては、この切断痕32により平坦性が損なわれることから母基板1を次の回路ブロック集合体30を製作するために再使用することが不能となる。製造工程においては、このために母基板1を廃棄したり、主面を再研磨処理した後に剥離層6の再成膜処理が施される。

【0073】このため、製造工程においては、図20に示すように基材5と剥離層6との間にダミー層35を設けた母基板1も用いられる。ダミー層35は、機械的剛性を有する適宜の合成樹脂材によって基材5の主面上に高精度の平坦性を以って形成される。ダミー層35は、回路ブロック集合体30のカッティングに際して、カット31の先端部が基材5に達しない厚みを以って形成されてなる。

【0074】したがって、製造工程においては、ダイシング装置においてカット31の動作が制御されて図20(a)に示すように先端部がダミー層35の内部で停止されて回路ブロック集合体30のカッティングが行われるようにする。製造工程においては、同図(b)に示すように剥離工程が施されることによって、切り分けられた各回路ブロック体30乃至30nが母基板1の剥離層6を介してそれぞれ1個ずつ独立して剥離される。製造工程においては、同図(c)に示すように母基板1が、ダミー層35までカット31による切断痕36が生じていても、基材5の損傷は無い。製造工程においては、同図(d)に示すように基材5から損傷したダミー層35と剥離層6とが除去される。

【0075】製造工程においては、母基板1の基材5を回収してその主面上に再びダミー層35と剥離層6とが再成膜されて次の回路ブロック集合体30の製作工程に再利用される。母基板1は、ダミー層35を樹脂材によ

って形成することで、基材5から容易に除去することが可能である。製造工程においては、基材5上にダミー層35や剥離層6を容易に形成して母基板1を形成することが可能であることから、比較的高価な基材5が再利用され製造コストと製造時間の低減が図られるようになる。

【0076】図21に示した高周波モジュール40は、多層配線基板からなるベース基板部41を第1層として、第1配線層43と、第2配線層44及び第3配線層45とからなる高周波素子層部42が接合され、さらに第3配線層45の表面上に高周波IC46とチップ部品47とが実装されてなる。高周波モジュール40は、各配線層43乃至45が、上述した回路ブロック体2と同様に絶縁層と配線層とから構成されている。高周波モジュール40は、第2配線層44と第3配線層45とに複数の変動素子が内蔵されている。高周波モジュール40は、高周波IC46を例えば半田バンプ48等を利用してフリップチップ実装するとともにチップ部品47を第3配線層45上に直接実装してなる。

【0077】以上のように構成された高周波モジュール40においては、ベース基板部41が有機配線基板を基材として構成されるとともにこのベース基板部41に電源やグラウンドの配線層や剥離系の配線層が構成されて高周波素子層部42に対して電源線は信号を供給する。高周波モジュール40においては、高周波素子層部42に高周波信号回路部を構成してアナログの高周波信号の処理を行う。高周波モジュール40においては、ベース基板部41と高周波素子層部42とが電磁的に分離されていることにより、電磁干渉の発生が抑制されて特性の向上が図られるようになる。高周波モジュール40は、ベース基板部41に充分な面積を有する電源やグラウンドの配線を形成することが可能となることから、高周波素子層部42に対してレギュレーションの高い電源供給を行う。

【0078】上述した工程を経て製作された回路ブロック体2は、図22に示すように高周波IC46やチップ部品と同等のチップ部品として基板51上に直接実装されて配線回路装置50を構成する。配線回路装置50は、基板51の主面上に適宜の形成された配線パターン52に対して、半田バンプ48等を通じて回路ブロック体2が実装される。配線回路装置50は、1チップ部品としての高精度の回路ブロック体2を実装することで、高精度かつ廉価に形成される。配線回路装置50は、基板51の所望の位置に高精度の回路ブロック体2を設けることができ、小型軽量化が図られる。

【0079】上述した実施の形態においては、母基板1上に積層体からなる回路ブロック体2を製作し、この回路ブロック体2を剥離層6を介して母基板1から剥離した後にベース基板3に実装して高周波モジュール40を製作するようにしたが、本発明はかかる適用例に限定さ

れるものではない。本発明は、例えば図23に示すように複数個の半導体チップ62を、4層構成の回路ブロック体61の表面上にフェースダウン実装してなる半導体モジュール60にも適用される。なお、回路ブロック体61は、基本的な構成や製造プロセスを上述した回路ブロック体2と同等とすることから、それらの詳細な説明を省略する。

【0080】半導体モジュール60は、回路ブロック体61の表面上に半導体チップ62が実装されるとともに、この半導体チップ62を封止する封止樹脂層63が形成されてなる。半導体モジュール60は、狭ピッチ化が図られた高精度の回路ブロック体61上に半導体チップ62を高密度に実装してなる。半導体モジュール60は、半導体チップ62と封止樹脂層63とがその断面を研磨する研磨処理が施されることにより薄型化が図られている。半導体モジュール60は、上述した剥離工程を経て母基板1から剥離されることにより露出された回路ブロック体61の第1の配線層61aが外部電極を構成する。

【0081】半導体モジュール60は、回路ブロック体61の各層の配線層が層間に適宜形成されたビア10を介して互いに層間接続されるとともに、詳細を省略するが最上層の配線層に半導体チップ62の各実装領域に対応してそれぞれ多数個の電極パッド62bが形成されている。各電極パッド62bは、半導体チップ62の実装面に形成された多数個のボンディングパッドに対応してそれぞれ形成されている。各電極パッド62bは、上述した工程を経て回路ブロック体61が製作されることにより、半導体チップ62に狭ピッチで形成される多数個のボンディングパッドに対応して高精度に形成される。

【0082】半導体モジュール60の製造工程は、上述した工程を経て母基板1上に回路ブロック体61を製作した後工程として半導体チップ実装工程と、封止樹脂層形成工程と研磨工程とが施された後に、剥離工程が施されて半導体モジュール60を製造する。半導体チップ実装工程は、例えば回路ブロック体61の各パッド電極61b上にそれぞれ半田バンプを取り付けてフリップチップボンディング法により半導体チップ62を実装する工程である。半導体チップ実装工程は、例えばTAB (tape automated bonding) 法やビームリードボンディング法等の他の周知のフェースダウン実装法によって半導体チップ62を回路ブロック体61上に実装するようにしてもよい。

【0083】半導体モジュール60の製造工程においては、上述したように高平坦性を有する母基板1上で高精度の回路ブロック体61が製作されるとともに、この回路ブロック体61を母基板1に保持した状態、すなわち剥離工程の前工程で半導体チップ62が実装される。半導体チップ実装工程は、反りやうねり或いは凹凸の無い回路ブロック体61に対して、半導体チップ62を高精

度に実装する。

【0084】封止樹脂形成工程は、母基板 1 上に半導体チップ 62 を実装した回路ブロック体 61 を保持した状態で、この回路ブロック体 61 の表面に封止樹脂層 63 を形成する工程である。封止樹脂形成工程においては、封止樹脂材として例えばエポキシ系樹脂等が用いられるとともに、トランスファーマールド法や印刷法等により半導体チップ 62 を封止する封止樹脂層 63 を形成する。封止樹脂層 63 は、半導体チップ 62 及び接続電極部を機械的かつ電気的に保護する。

【0085】研磨工程は、引き続き回路ブロック体 61 を母基板 1 に保持した状態で、例えばグラインダを用いた機械的研磨方法やウェットエッチング法による化学的研磨方法或いは機械的研磨方法と化学的研磨方法とを併用した方法等によって、封止樹脂層 63 の表面を研磨する工程である。研磨工程においては、封止樹脂層 63 ばかりでなく、機能に支障の無い最大範囲で半導体チップ 62 の表面も一括して研磨する。研磨工程においては、半導体チップ 62 が封止樹脂層 63 によって外周を封止されて機械的に保持されていることから、例えば機械的研磨を施した場合にも半導体チップ 62 にエッジ欠け等の損傷の発生を抑制して最大量の研磨を行うことが可能である。

【0086】半導体モジュール 60 の製造工程においては、ウェハ状態で研磨処理等が施された薄型の半導体チップを用いること、薄型に形成された回路ブロック体 61 上に厚みが 100 μm 以下の半導体チップ 62 を実装した構造の薄型化が図られた半導体モジュール 60 の製造を可能とする。半導体モジュール 60 の製造工程においては、薄型の半導体チップを用いないことから、半導体チップ 62 に工程中への搬送等の取扱時に割れや欠けといった不都合の発生が抑制されるようになるとともに取り扱いも簡便となり、信頼性の向上が図られた半導体モジュール 60 を効率よく製造する。

【0087】なお、研磨工程については、剥離工程の後工程として回路ブロック体 61 を母基板 1 から剥離した後に行うようにしてもよいが、母基板 1 をベースとして機械的剛性が保持された状態で研磨を施すほうがより効率的であるとともに、信頼性も高い。

【0088】以上の工程を経て製造された半導体モジュール 60 は、例えば図 23 において線繰で示すマザー基板（ベース基板）65 上に接合する実装工程が施されることによって半導体装置を構成する。実装工程は、回路ブロック体 61 に形成された外部電極 61a がベース基板 65 の主面上に形成された接続パッドにそれぞれ電気的、機械的に結合されることによって行われる。実装工程は、具体的には回路ブロック体 61 に対する半導体チップ 62 の実装と同様に、フェースダウン法によって行われる。

【0089】半導体装置は、それぞれ異なる機能プロ

クを構成する半導体チップ 62 を回路ブロック体 61 上に実装することで、MCM 半導体装置を構成する。半導体装置は、回路ブロック体 61 上に半導体チップ 62 を高密度に実装するとともに高密度の配線パターンが構成されることで、小型かつ薄型で配線パターン等の L・C・R 成分を低減した高特性の MCM 半導体装置を構成する。

【0090】半導体モジュール 60 においては、最上層の配線層に半導体チップ 62 を実装することによって回路ブロック体 61 上に他の表面実装型部品等が実装されない構造である。図 24 に示した半導体モジュール 65 は、半導体チップ 62 の実装面 66a にも複数個の外部接続端子 67 が形成された回路ブロック体 66 を備える構成に特徴を有している。各外部接続端子 67 は、詳細を後述する工程を経て回路ブロック体 66 の実装面 66a に金属からなる突起電極と形成されてなる。各外部接続端子 67 は、同図に示すようにそれぞれの表面が研磨された封止樹脂層 63 から露出されている。

【0091】半導体モジュール 65 は、図 25 に示した各工程を経て母基板 1 上に回路ブロック体 66 を保持した状態で外部接続端子 67 が形成される。半導体モジュール 65 の製造工程は、同図 (a) に示した外部接続端子 67 を形成する外部接続端子形成工程が、同図 (b) に示した半導体チップ実装工程の前工程で行われる。半導体モジュール 65 の製造工程においては、外部接続端子形成工程に引き続いて、半導体モジュール 66 の製造工程と同様に同図 (c) に示した封止樹脂層 63 を形成する封止樹脂層形成工程と、同図 (d) に示した封止樹脂層 66 を研磨する研磨工程と、同図 (e) に示した回路ブロック体 66 を母基板 1 から剥離する剥離工程とが施されて半導体モジュール 65 が製造される。

【0092】回路ブロック体 66 には、半導体チップ実装面 66a を構成する最上層配線層 68 に、半導体チップ 62 を実装する電極パッド 68a とともに外部接続端子 67 を形成する電極形成パッド 68 b が形成されている。回路ブロック体 66 は、母基板 1 側の第 1 層配線層 66 b が、剥離面とベース基板に対する実装面を構成する。

【0093】外部接続端子形成工程は、例えば最上層配線層 68 の電極形成パッド 68 b 上にメッキ法によって金属凸部を形成したり、半田ボールを接合する等によって外部接続端子 67 を形成する工程である。メッキ法は、回路ブロック体 66 の最上層配線層 68 上にメッキレジストを適宜の方法によって塗布する工程と、外部接続端子 67 を形成する電極形成パッド 68 b に対応してメッキレジストを除去する工程と、電極形成パッド 68 b に対して電気銅メッキを施すことにより所定の厚みを有する金属凸部を形成する工程とからなる。半田ボールは、例えば回路ブロック体 66 を形成した母基板 1 をリフロー槽に供給することによって電極形成パッド 68 b

上に形成される。

【0094】外部接続端子67は、上述した工程を経て高精度に形成された回路ブロック体66に形成されることで、高精度でかつ狭ピッチ化、小型化されて構成することが可能である。外部接続端子67は、その高さ（厚み）が、後工程で回路ブロック体66に実装されるとともに研磨処理が施される半導体チップ62の厚みよりもやや大きく形成される。なお、外部接続端子67は、半導体モジュール65の薄型化を図るために半導体チップ62の表面を研磨する場合には、少なくとも半導体チップ62が最大に研磨される場合の厚みよりもやや大きな高さを以って形成される。

【0095】半導体チップ実装工程は、上述した工程と同様の方法によって、回路ブロック体66の電極パッド68a上に半導体チップ62を実装する。封止樹脂層形成工程は、半導体チップ62が実装されるとともに外部接続端子67が形成された回路ブロック体66の表面上に封止樹脂層63を形成する。研磨工程は、封止樹脂層63を研磨して外部接続端子67を露出させる。研磨工程では、上述したように半導体チップ62の表面も研磨することによって、薄型の半導体モジュール65を形成する。研磨工程においては、外部接続端子67が小型で多数個が形成されている場合においても、封止樹脂層63によってこれら外部接続端子67の外周を封止して機械的に保持した状態で研磨を施すことから、変形や損傷あるいは電極形成パッド68bからの剥離等の発生が抑制されるようにする。

【0096】半導体モジュール65は、上述した剥離工程を経て母基板1から剥離される。半導体モジュール65は、母基板1からの剥離面がベース基板64との接合面66bを構成し、第1層の配線層を接続端子部として半田ボール等が設けられる。半導体モジュール65には、半導体チップ62を実装した表面にも多数個の外部接続端子67が形成されている。半導体モジュール65には、外部接続端子67を介して、半導体チップ62の実装側にも適宜の表面実装型電子部品や他の半導体パッケージ等を実装することが可能とされ高密度化が図られるようにする。

【0097】半導体モジュール65においては、上述したように回路ブロック体66の接合面66bをベース基板64上に接合して半導体装置を構成するようにしたが、例えば図2に示すように表面実装型部品69を実装した半導体モジュール70を構成するようにしてもよい。表面実装型部品69としては、例えばチップ抵抗体やチップコンデンサ等の受動部品或いは半導体パッケージ等が用いられ、半田フロー法等によって実装される。半導体モジュール70は、この場合、回路ブロック体66の第1層の配線層71が、ベース基板に対する接続端子部に代えて表面実装型部品69を実装するランドや接続回路パターンとして構成される。半導体モジュール

70は、上述した工程を経て精密な回路ブロック体66が形成されることにより、第1層の配線層71に狭ピッチ化された高精度のランドや接続回路パターンが形成される。

【0098】したがって、半導体モジュール70には、第1層の配線層71上に、各種の表面実装型部品69が高密度にかつ高精度に実装される。また、半導体モジュール70は、上述した各種の表面実装型部品69を実装することによって、各半導体チップ62の周辺回路を同一のパッケージ内に構成することが可能となる。半導体モジュール70は、これによって配線部を短縮するとともに接続部を減らすことが可能となり、回路内におけるL・C・R成分を低減して高機能化、高性能化が図られるようになる。

【0099】上述した半導体モジュール65においては、例えば回路ブロック体66の接合面66b上に第2の半導体チップ72を実装することにより、図27に示した半導体モジュール73を構成してもよい。半導体モジュール73は、この場合、回路ブロック体66の第1層の配線層71が、半導体チップ72を実装するベース基板に対する接続端子部に代えて表面実装型部品69を実装する接続ランド74や接続回路パターンとして構成される。半導体モジュール73は、回路ブロック体66の表裏面にそれぞれ第1群の半導体チップ62と第2群の半導体チップ72とを3次元的に実装した多層半導体装置を構成する。

【0100】半導体モジュール73は、上述したように母基板1から剥離された半導体モジュール65を基材として、平坦な基板上に剥離面である第1層の配線層71を上側ににして載置された後に半導体チップ実装工程と、封止樹脂形成工程と、研磨工程とが施されて製造される。半導体チップ実装工程は、回路ブロック体66の第1層の配線層71上に半導体チップ72を実装する工程である。半導体モジュール65には、図28(a)に示すように、回路ブロック体66の第1層の配線層71に形成したランド74上に半導体チップ72が実装される。

【0101】封止樹脂形成工程も、図28(b)に示すように実装された半導体チップ72を封止する封止樹脂層75を形成する工程である。研磨工程は、全体を薄型化するために、形成された封止樹脂層75の表面を研磨する工程であり、半導体チップ72の表面も同時に研磨する。研磨工程は、半導体チップ72が封止樹脂層75によって外周を封止されて機械的に保持されていることから、例えば機械的研磨を施した場合にも半導体チップ72にエッジけ等の損傷の発生を抑制して最大限の研磨を行うことが可能である。

【0102】以上の工程を経て製造された半導体モジュール73は、第1群の半導体チップ62を実装した側面に上述した外部接続端子67が形成されており、これら外

部接続端子 67 を介してベース基板等に実装された多層半導体装置を構成する。半導体モジュール 73 は、例えば第 2 群の半導体チップ 72 を搭載した側に、上述した工程を経て外部接続端子 67 を形成するようにしてもよい。半導体モジュール 73 は、かかる構成を採用することにより、この面を接合面としてベース基板に実装することが可能となる。

【0103】

【発明の効果】以上詳細に説明したように、本発明によれば、高精度の平坦面と薄膜形成時の表面温度の上昇に対する耐熱特性やリソグラフィ時の焦点深度の保持、マスキング時のコンタクトアライメント特性が良好であり絶縁性や耐薬品性を有する母基板を用いて回路ブロック体を製造することで、基板の反りや表面の凹凸に影響されることなく微細な配線部を有する高精度で信頼性の高い回路ブロック体の製造が効率的に行われる。本発明によれば、回路ブロック体の内部に高精度の成膜素子を内蔵したり半導体チップや電子部品等の高密度実装を可能とする薄型の回路ブロック体が製造される。

【0104】本発明によれば、母基板から剥離した回路ブロック体をベース基板上に接合することにより、回路ブロック体がベース基板側から電源や信号の供給を受ける薄型化された高精度の配線回路装置が効率的に製造される。配線回路装置は、ベース基板等に対する直接の実装も簡易に行われ、回路ブロック体とベース基板側とが電磁的に分離されて干渉の発生が抑制されることで、特性の向上が図られるとともにベース基板側に充分な面積を有する電源やグラウンドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われる配線回路装置が得られる。

【0105】本発明によれば、高精度で微細な配線部を有する回路ブロック体に対して多数個の半導体チップを簡易な工程によって実装することで、高精度で多機能化が図られた小型の半導体装置が効率的に製造される。本発明によれば、半導体チップを欠けや破損等を生じさせることなく表面研磨を施して薄型化された回路ブロック体を実装することが可能であることから、全体の薄型化が図られるとともに高密度実装化が図られる。本発明によれば、半導体チップを実装した回路ブロック体とベース基板側とが電磁的に分離されて干渉の発生が抑制されることで、特性の向上が図られるとともにベース基板側に充分な面積を有する電源やグラウンドの配線を形成することが可能であることからレギュレーションの高い電源供給が行われる半導体装置が得られる。

【図面の簡単な説明】

【図 1】本発明にかかる高周波モジュールの製造工程図である。

【図 2】同高周波モジュールの製造工程に用いられる母基板の縦断面図である。

【図 3】第 1 の絶縁層が形成された母基板の縦断面図で

ある。

【図 4】第 1 の配線層が形成された母基板の縦断面図である。

【図 5】第 2 の絶縁層と第 2 の配線層とが形成された母基板の縦断面図である。

【図 6】第 2 の配線層に薄膜抵抗体と薄膜キャパシタとが形成された母基板の縦断面図である。

【図 7】第 3 の絶縁層が形成された母基板の縦断面図である。

【図 8】第 3 の配線層が形成された母基板の縦断面図である。

【図 9】母基板上に製作された回路ブロック体の剥離工程の説明図である。

【図 10】ベース基板の縦断面図である。

【図 11】ベース基板と回路ブロック体との接合工程説明図である。

【図 12】ベース基板と回路ブロック体とを接合した状態の縦断面図である。

【図 13】高周波モジュールの縦断面図である。

【図 14】接着剤層が設けられたベース基板の縦断面図である。

【図 15】同ベース基板と回路ブロック体との接合工程説明図である。

【図 16】同ベース基板と回路ブロック体との熱圧着接合工程説明図である。

【図 17】高周波モジュールの縦断面図である。

【図 18】回路ブロック集の切断工程説明図である。

【図 19】回路ブロック体の剥離工程説明図である。

【図 20】ダミー層を設けた母基板を用いた回路ブロック体の製造工程説明図であり、同図 (a) は切断工程説明図、同図 (b) は剥離工程説明図、同図 (c) は切断工程後の母基板の縦断面図、同図 (d) は樹脂層を除去した母基板の縦断面図である。

【図 21】他の高周波モジュールの縦断面図である。

【図 22】他の高周波モジュールの縦断面図である。

【図 23】本発明にかかる半導体モジュールの縦断面図である。

【図 24】半導体チップ実装面に外部接続端子が形成された半導体モジュールの縦断面図である。

【図 25】同半導体モジュールの製造工程の説明図である。

【図 26】半導体チップ実装面に表面実装型部品を搭載した半導体モジュールの縦断面図である。

【図 27】半導体チップを両面に実装した半導体モジュールの縦断面図である。

【図 28】同半導体モジュールの製造工程の説明図である。

【図 29】薄膜抵抗体を形成した配線基板の縦断面図である。

【図 30】薄膜キャパシタを形成した配線基板の縦断面

図である。

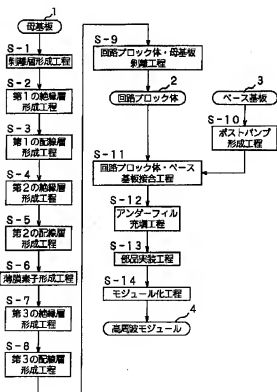
【図31】従来の高周波モジュールの縦断面図である。

【図32】従来の半導体装置の縦断面図である。

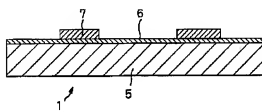
【符号の説明】

1 母基板、2 回路ブロック体、3 ベース基板、4 高周波モジュール、5 基材、6 剥離層、7 第1の絶縁層、8 第1の配線層、9 第2の絶縁層、10 ピア、11 第2の配線層、12 薄膜抵抗体、13 薄膜キャパシタ、14 第3の絶縁層、15 ピア、16 第3の配線層、17 インダクタ、19 配線層、20 ピア、21 ポストパンプ、22 アンダーフィル、23 接着剤層、30 回路ブロック集合体、3

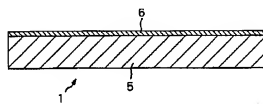
【図1】



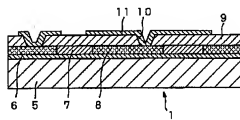
【図3】



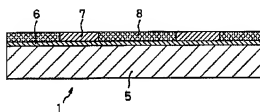
【図2】



【図5】

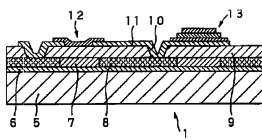


【図4】

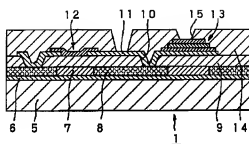


1 カッタ、32 切断痕、35 ダミー層、36 切断痕、40 高周波モジュール、41 ベース基板部、42 高周波素子層部、43 絶縁層、44 第1素子形成層、45 第2素子形成層、46 高周波IC、47 チップ部品、48 半田パンプ、50 高周波モジュール、51 ベース基板部、52 配線層、60 半導体モジュール、61 回路ブロック体、62 半導体チップ、63 封止樹脂層、64 ベース基板、65 半導体モジュール、66 回路ブロック体、67 外部接続端子、69 表面実装部品、70 半導体モジュール、72 半導体チップ、73 半導体モジュール、75 封止樹脂層

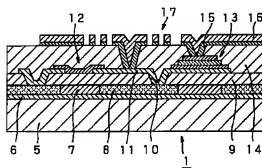
【図6】



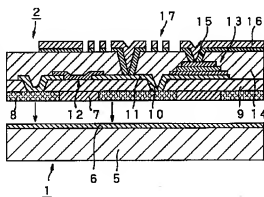
【図7】



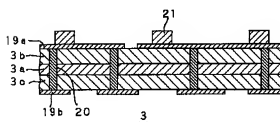
【図8】



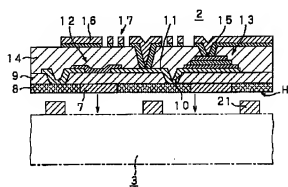
【図9】



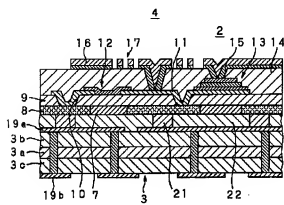
【図10】



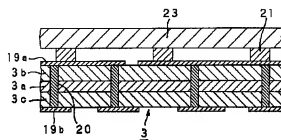
【図11】



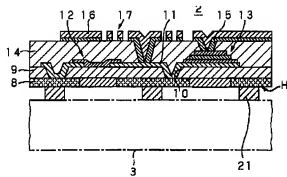
【図13】



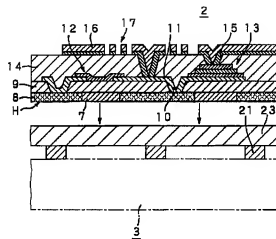
【図14】



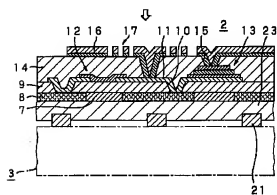
【図12】



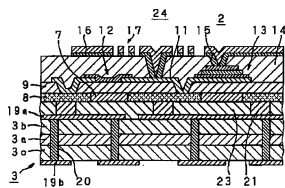
【図15】



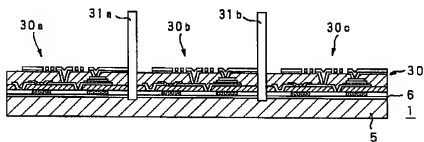
【図16】



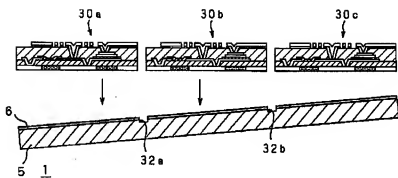
【図17】



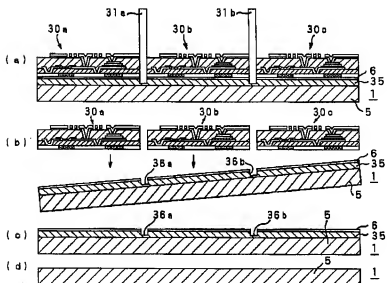
【図18】



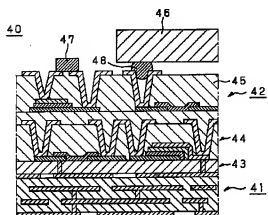
【図19】



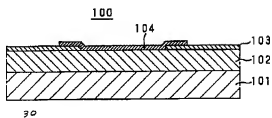
【図20】



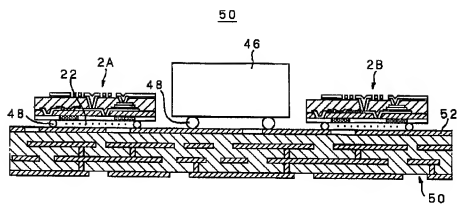
【図21】



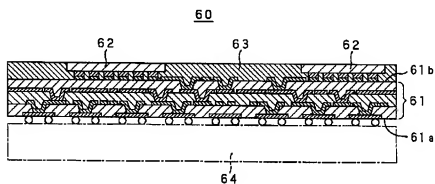
【図29】



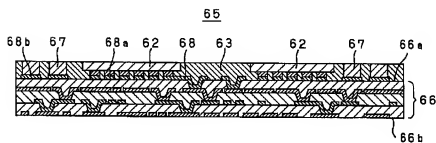
【図22】



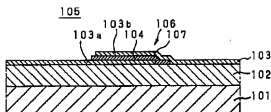
【図23】



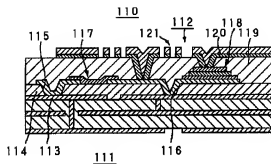
【図24】



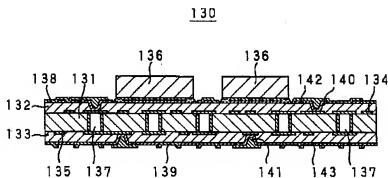
【図30】



【図31】



【図32】



フロントページの続き

(72)発明者 奥洞 明彦
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

Fターム(参考) 5E346 AA02 AA12 AA13 AA14 AA15
AA16 AA22 AA43 BB02 BB07
BB16 CC08 CC21 CC25 CC32
DD25 DD33 EE34 FF01 FF04
FF07 FF12 FF13 FF27 FF35
FF37 GG15 GG17 GG22 GG23
GG25